


IMPLEMENTACIÓN DE PAU


Informe Final

AD Telecom, S.L.
Camí de la Pellería, 12.
Polígon Industrial Bonavista
08915 – BADALONA (Barcelona)
Spain
telf: + 34 932 237 900
fax: + 34 932 237 901
www.adtelecom.es

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 3 of 46

ÍNDICE

ÍNDICE DE FIGURAS	4
ÍNDICE DE TABLAS	4
0. OBJETIVO	5
1. ANTENAS	5
1.1. DISEÑO DE UN ARRAY DE 7 PARCHES CON POLARIZACIÓN LHCP	6
2. ETAPA DE ENTRADA.....	6
2.1. UTILIZACIÓN DE UN LNA PARA OPTIMIZAR LA RELACIÓN SEÑAL RUIDO	6
2.2. ELECCIÓN DEL SWITCH.....	7
3. FRONT-END DE RF.....	8
3.1. FILTRO DE ENTRADA	8
3.2. AMPLIFICADOR DE BAJO RUIDO.....	9
3.3. DISEÑO DEL ACOPLADOR DIRECCIONAL	11
3.4. DISEÑO DE VCO Y PLL	11
3.5. ELECCIÓN DEL MEZCLADOR.....	11
3.6. FILTROS DE FI A 70 MHz	12
3.7. ELECCIÓN DE LA FRECUENCIA DE MUESTREO	12
3.8. ELECCIÓN DEL CONVERTOR A/D	13
4. TARJETA ALIMENTACIONES	14
4.1. GENERACIÓN LOCAL DE TENSIONES.....	14
5. PROCESADO DE SEÑAL.....	15
5.1. REQUISITOS DE PROCESADO.....	15
5.2. REQUISITOS HARDWARE.....	15
5.2.1. Memoria	15
5.2.2. Operaciones con el OBDH	15
5.3. PROPUESTA DE IMPLEMENTACIÓN	15
6. INTERFACES.....	16
6.1. ELÉCTRICO	16
6.2. MECÁNICO.....	16
7. ESTUDIO DE COSTES	20
8. PLIEGO DE CONDICIONES PARA EL SUMINISTRO DE DOS EQUIPOS DEL INSTRUMENTO PAU	21
8.1. PLIEGO DE CONDICIONES TÉCNICAS.....	21
8.1.1. ESPECIFICACIONES TÉCNICAS DE LAS ANTENAS	21
8.1.2. ESPECIFICACIONES TÉCNICAS DEL RECEPTOR	21
8.1.3. ESPECIFICACIONES TÉCNICAS DEL MODULO DE PROCESADO 1.....	22
8.1.4. ESPECIFICACIONES TÉCNICAS DEL MODULO DE PROCESADO 2.....	22
8.1.5. ESPECIFICACIONES TÉCNICAS DEL MODULO DE ALIMENTACIONES	22
8.1.6. ESPECIFICACIONES TÉCNICAS DE INTERFACE CON EL ORDENADOR.....	23
8.2. ESPECIFICACIONES DE SUBSISTEMA	23
8.2.1. ESPECIFICACIONES ELECTRICAS (INTERFACES)	23
8.2.2. ESPECIFICACIONES MECANICAS.....	23
8.2.3. ESPECIFICACIONES AMBIENTALES	23
8.3. ENTREGABLES.....	24
9. ESTRUCTURA DEL PROYECTO	26
9.1. SUBDIVISION DE TAREAS.....	26
9.2. HITOS	26
10. DIVISIÓN EN PAQUETES DE TRABAJO.....	27
WP 0: Gestión del Proyecto (MANAGEMENT).....	27
WP 1: Diseño electrónico.....	28
WP 2: Fabricación de un prototipo preliminar.....	29
WP 3: Fabricación final de un prototipo con componentes comerciales.....	30
WP 4: Fabricación de un prototipo con componentes de alta fiabilidad.....	31
WP 5: Test funcionales de los prototipos de pau	32
APENDICE A - IMPLEMENTACIÓN DEL INSTRUMENTO PAU MEDIANTE FPGA	33
1. Reprogramación del dispositivo FPGA	33
2. BITSTREAM DE PROGRAMACIÓN	33
3. Opciones de mitigación de SEU.....	33
4. Mitigación de SEU mediante reprogramaciones periódicas.....	33
5. Reprogramaciones por activación controlada	34
6. Resumen del control de configuración	34
APENDICE B - EFECTOS DE LA RADIACIÓN ESPACIAL EN FPGAS Y MEMORIAS	35
1. Adquisición de componentes Xilinx calificados para espacio.....	36
2. Efectos de dosis de ionización total (TID)	36
3. Efectos de evento solitario (Single-Event Effects o SEE).....	38
APENDICE C - MITIGACIÓN DE LOS EFECTOS DE LA RADIACIÓN.....	41
1. Conceptos Generales	41
2. Aplicación en la FPGA de Xilinx del instrumento PAU	42
3. Xilinx en el espacio.....	44
APENDICE D: Bibliografía	46


	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 4 of 46

ÍNDICE DE FIGURAS

FIGURA 1 - DIAGRAMA FUNCIONAL INICIAL DE PAU	5
FIGURA 2 – ETAPA DE ENTRADA	7
FIGURA 3 - MONTAJE DE LOS SWITCHES EN CASCADA	7
FIGURA 4 - DIAGRAMA DE BLOQUES DEL FRONT-END DE RF.....	8
FIGURA 5 - ESQUEMA ELÉCTRICO DEL LNA	9
FIGURA 6 - FOTOGRAFÍA DEL LNA PARA BANDA S.....	9
FIGURA 7 - RESPUESTA EN FRECUENCIA	10
FIGURA 8 - FACTOR DE ESTABILIDAD DEL AMPLIFICADOR	10
FIGURA 9 - RÉPLICAS A BAJA FRECUENCIA DE LA SEÑAL MUESTREADA	13
FIGURA 10 - ESQUEMA DE LA ALIMENTACIÓN DE LA FPGA.....	14
FIGURA 11 - MECÁNICA DEL FRONT-END DE RF.....	17
FIGURA 12 - MECÁNICA DE LA PLACA DE PROCESADO DE SEÑAL.....	17
FIGURA 13- VISTA DE LA TARJETA DE ALIMENTACIONES ALOJADA EN LA BASE DE LA UNIDAD	18
FIGURA 14 - PISO DE LA TARJETA VIRTEX-4	18
FIGURA 15 - VISTA DEL PISO DEL RECEPTOR.....	19
FIGURA 16 - VISTA DE LA CAJA COMPLETA CON LA TAPA EN TRANSPARENTE.....	19
FIGURA 17- ORGANIZACIÓN DE TAREAS DEL PROYECTO	26
FIGURA 18 - CORRIENTE DE FUGA INDUCIDA POR TID EN TRANSISTORES NMOS.....	37
FIGURA 19 - FLIP-FLOP D CON TMR	42

ÍNDICE DE TABLAS

TABLA 1 - PE9763 CARACTERÍSTICAS DEL PLL PE9763 DE PEREGRINE	11
TABLA 2 - REQUISITOS PARA EL MEZCLADOR Y ESPECIFICACIONES DEL HMC296MS8.....	12
TABLA 3 - PRECIOS DE COMPONENTES UTILIZANDO COMPONENTES DISCRETOS	20
TABLA 4 - SINUSOIDAL TEST	24
TABLA 5 - RANDOM VIBRATION TESTS	24
TABLA 6 - ENTREGABLES SEGÚN HITOS DEL PROYECTO	25
TABLA 7 - ESQUEMAS DE MITIGACIÓN DE LA RADIACIÓN	35
TABLA 8 - COMPARATIVA DE DISPOSITIVOS FPGA.....	36

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 5 of 46

0. OBJETIVO

Este documento recoge la propuesta definitiva para la implementación del instrumento PAU. Además se detallan las especificaciones de cada uno de los bloques y los paquetes de trabajo de cada fase para finalizar su desarrollo en un periodo de un año.

Se ha partido del diagrama de bloques facilitado inicialmente por la UPC y después de evaluar conjuntamente las distintas opciones recogidas en los documentos anteriores, se ha optado por una implementación con componentes de alta fiabilidad.

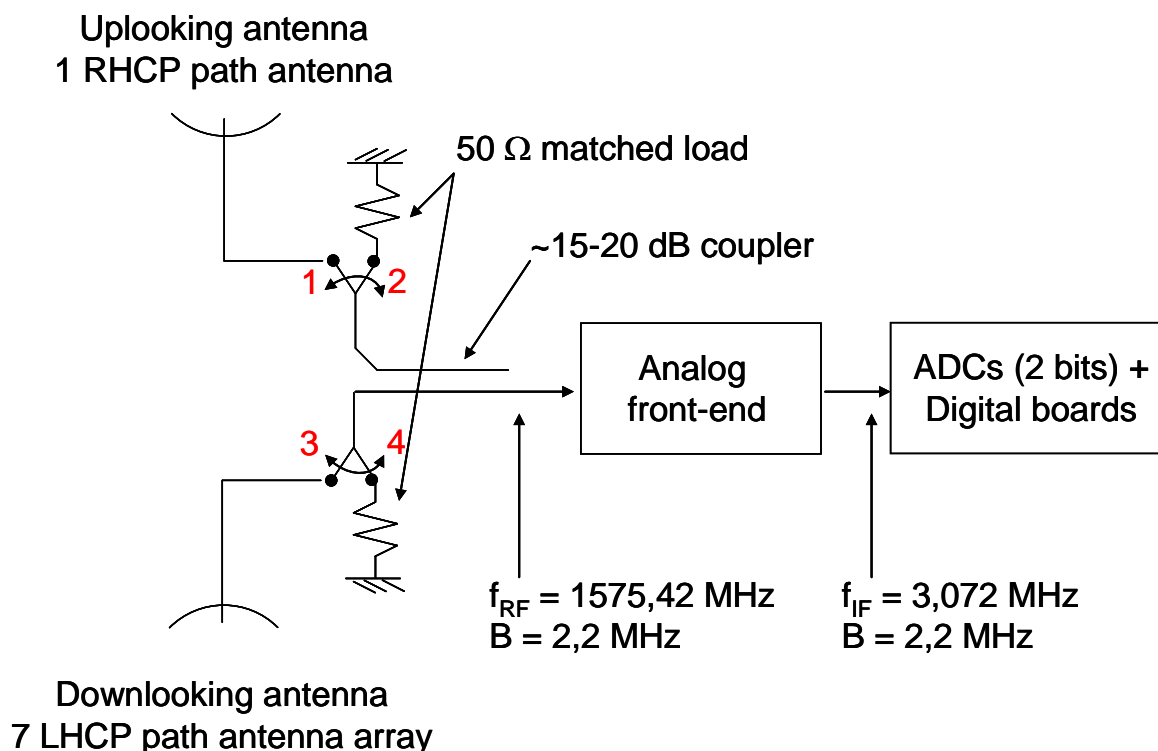



Figura 1 - Diagrama funcional inicial de PAU

IMPLEMENTACIÓN DEL PAU

1. ANTENAS

El instrumento PAU funciona con dos antenas: una orientada hacia tierra, que recoge la señal GPS reflejada y otra, en dirección opuesta, orientada hacia el cielo, que recoge la señal GPS directa. La antena orientada hacia tierra es un array de 7 elementos.

Con el fin de minimizar el tamaño se ha elegido la opción de utilizar antenas dieléctricas de parche para cada uno de los elementos que forman el array. Los elementos están situados en el centro y en los vértices de un hexágono y están fabricados con un dieléctrico de constante muy elevada, con lo que se minimiza el tamaño de los mismos y por tanto el del array.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 6 of 46

1.1.DISEÑO DE UN ARRAY DE 7 PARCHES CON POLARIZACIÓN LHCP

El diámetro máximo del array de antenas aceptado para tener cabida en Microsat es de 14 centímetros. Con la utilización de las antenas dieléctricas se cumple con este requisito.

Las señales de los parches individuales se combinan en fase para dar una única salida. La implementación física del combinador se hará mediante líneas stripline de longitud $\lambda/4$ cuya impedancia característica debe ser:

$$Z_o' = Z_o * \sqrt{7}$$

Igualmente se añadirá una línea en $\lambda/4$ para adaptar la impedancia del punto central a los 50 Ohmios de impedancia de entrada del receptor. La salida de antena se hará mediante un conector que saldrá perpendicularmente hacia la cara interior del módulo de servicio. Desde este conector hasta el receptor PAU la conexión se hará mediante un cable coaxial. El combinador será diseñado, por la empresa contratada, en tecnología stripline con sustrato Rogers 4003.

La otra antena, situada en la cara cenit, se utilizará para recibir señales directas GPS y hacer la correlación con las señales reflejadas recibidas por el array. Esta antena está formada por un único parche del mismo tipo que los elementos individuales que forman el array.

Para evitar los posibles efectos de la ionización en la superficie de la antena y asegurar su fiabilidad mecánica frente a radiaciones, ésta deberá cumplir los tratamientos siguientes:

- Dorado de las partes metálicas exteriores.
- Las zonas aislantes deben pintarse con pintura conductora negra de alta resistividad.
- Cada elemento individual deberá de ir pegado con adhesivo epoxi ref. 2216 de 3M sobre el honey-comb de aluminio que actúa de plano de masa.
- Deberá de estar prevista la posibilidad de utilizar calefactores para mantener la temperatura de la antena.
- El soporte de la antena será del tipo isostático.

2. ETAPA DE ENTRADA

2.1.UTILIZACIÓN DE UN LNA PARA OPTIMIZAR LA RELACIÓN SEÑAL RUIDO

Los elementos pasivos que se encuentran entre las antenas y el *front-end* introducen pérdidas que deterioran la S/N de la señal captada por la antena. El diagrama de bloques elegido para la etapa de entrada es el siguiente:

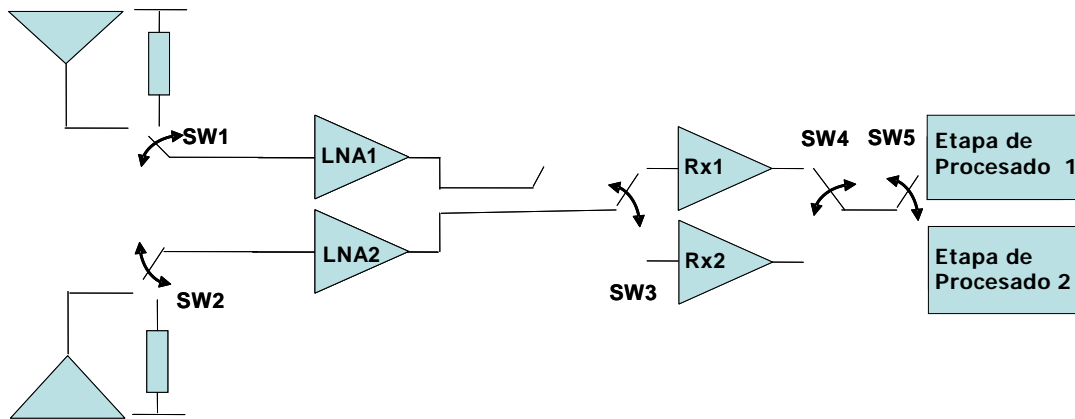


Figura 2 – Etapa de entrada

Se ha escogido esta opción frente a otras porque minimiza las pérdidas de entrada y se optimiza la figura de ruido.

2.2.ELECCIÓN DEL SWITCH

La única especificación a tener en cuenta para el *switch* es la de aislamiento, que ha de ser como mínimo 30 dB. La referencia del *switch* del que se tiene una importante experiencia en cuanto a su fiabilidad es el SW-276 de MACOM.

Según el *datasheet* las pérdidas de inserción máximas en la banda de frecuencias hasta 2 GHz es de 0,7 dB, mientras que el aislamiento garantizado es de 24 dB. Dado que un único *switch* no cumple la especificación de aislamiento y es imprescindible un aislamiento mayor se van a utilizar 2 en cascada. De esta forma el aislamiento es superior a 48 dB y las pérdidas de inserción son inferiores a 1,5 dB. La forma de conectarlos para conseguir estas características es la siguiente:

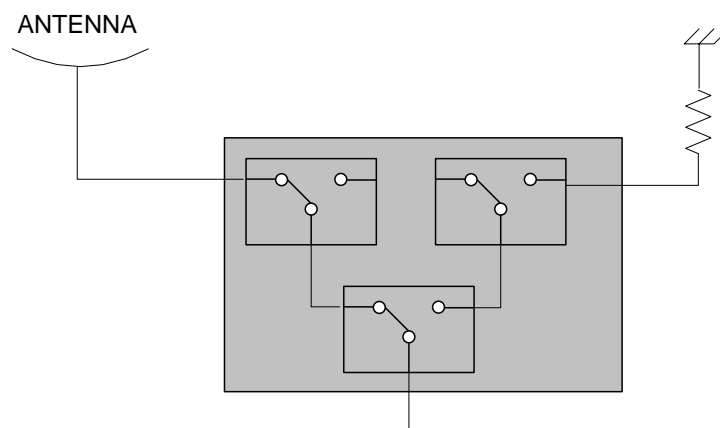



Figura 3 - Montaje de los *switches* en cascada

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 8 of 46

La secuencia de conmutación de los distintos *switches* se controla desde la misma FPGA que hace el procesado.

Una alternativa al conmutador de MACOM sería el HMC194MS8 de Hittite, que ya tiene un gran aislamiento por sí solo (50dB), además de unas pérdidas de inserción de 0.7dB. Es un componente comercial de AsGa y encapsulado de plástico, pero puede cambiarse a cerámico bajo demanda al fabricante, con cribados clase B (militar) o clase S (espacial)

3. FRONT-END DE RF

El diseño propuesto corresponde al diagrama de bloques de la figura siguiente. Este circuito está basado en componentes cuya fiabilidad ya ha sido comprobada en diseños anteriores. Se realiza una única conversión de frecuencia desde 1575,42 MHz a 70 MHz. El rechazo a la frecuencia imagen está garantizado por el filtro de entrada.

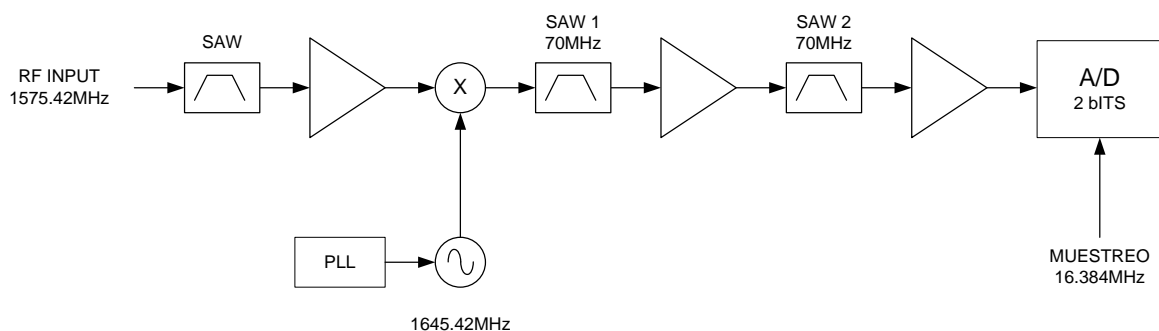



Figura 4 - Diagrama de bloques del *front-end* de RF

3.1.FILTRO DE ENTRADA

La misión del filtro de entrada es evitar que señales no deseadas lleguen al amplificador de entrada. La inclusión de un filtro entre el LNA y el Mixer permite limitar la ganancia fuera de la banda de GPS.

Debido a que hay varios filtros SAW disponibles para la banda de GPS se utilizará uno de este tipo de entre las siguientes opciones:

- El filtro propuesto es el 855969 de Triquint. Está diseñado para aplicaciones de GPS. Sus características principales son:
 - Ancho de banda: 2,4 MHz
 - Pérdidas de inserción: < 1,8 dB
 - Rizado de 1574,22 a 1576,62: 1dB
 - Impedancia entrada/salida: 50 Ω
 - Entrada y salida no balanceada
 - Encapsulado cerámico
 - Encapsulado hermético
 - Rango de temperatura: - 40° a + 85°C

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 9 of 46

A falta de un estudio más exhaustivo este filtro es apto para los objetivos que se pretenden por tener encapsulado hermético y cerámico, además de tener un rango de temperaturas de -40° a $+85^{\circ}\text{C}$.

- Una posible alternativa sería utilizar el 856561 de Triquint, especificado para aplicaciones de GPS y con unas pérdidas de inserción de 0.8dB y ancho de banda de 2.2MHz. Este filtro se utilizará en el receptor GPS de Microsat.

3.2.AMPLIFICADOR DE BAJO RUIDO

El diseño del LNA está basado en un estudio anterior. El amplificador está implementado con dos transistores EPB018A5. Este transistor posee una figura de ruido muy baja, está fabricado con tecnología de Arseniuro de Galio, tiene encapsulado cerámico y el margen de temperatura va desde -50 hasta $+150^{\circ}\text{C}$.

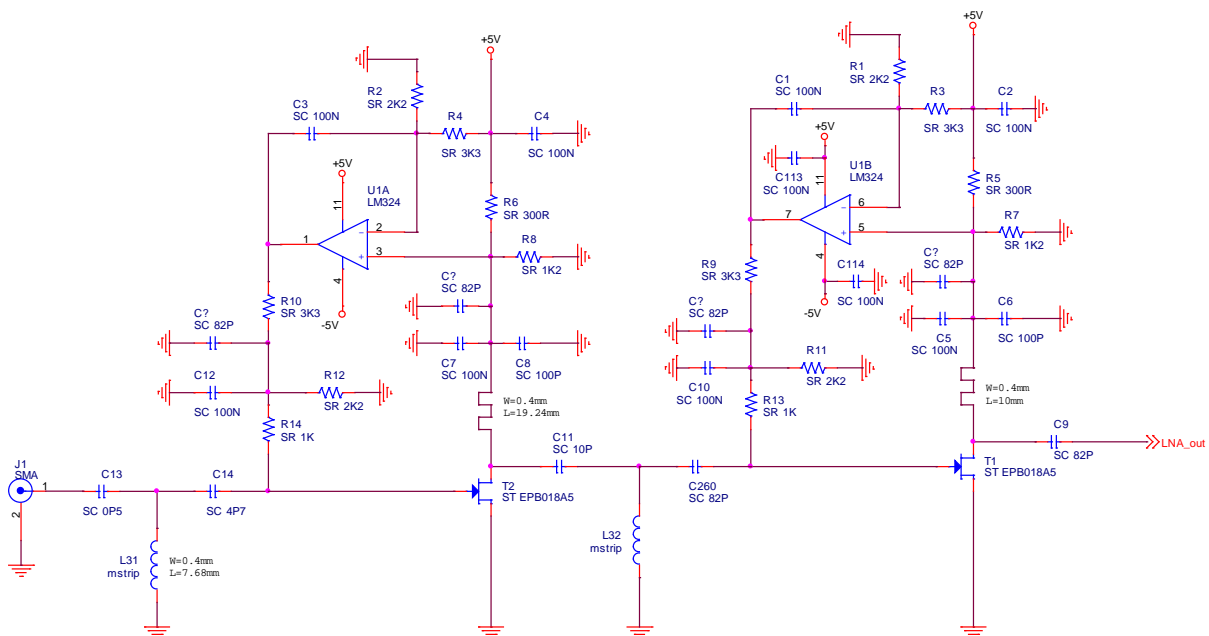


Figura 5 - Esquema eléctrico del LNA

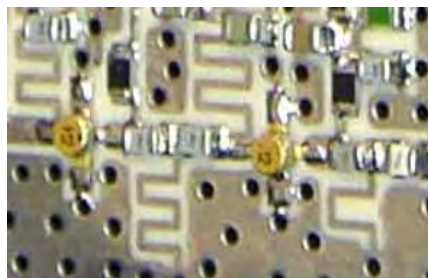


Figura 6 - Fotografía del LNA para banda S

Simulaciones de la curva de ganancia en función de la frecuencia:

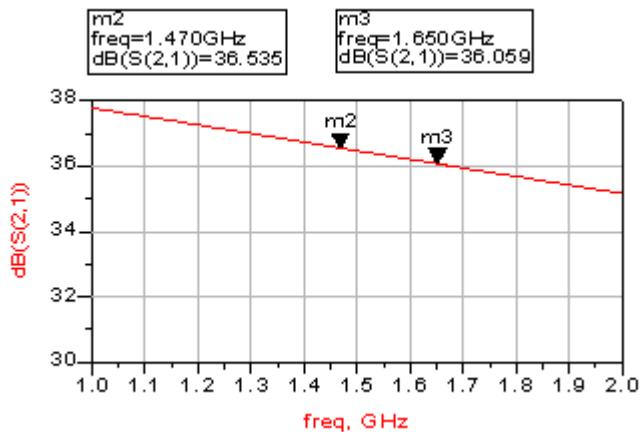
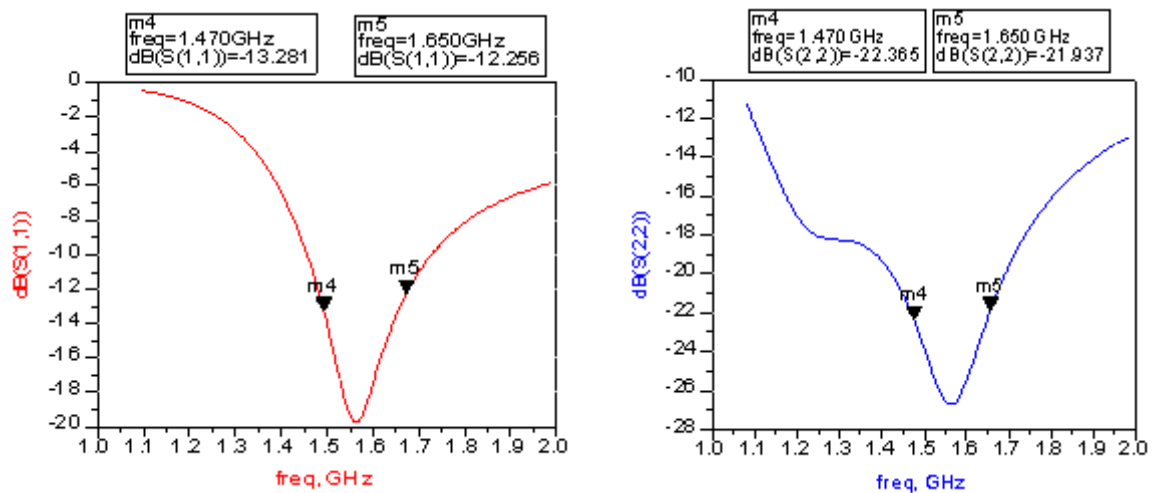


Figura 7 - Respuesta en frecuencia

A continuación se representan las gráficas de la simulación de la adaptación de impedancia de entrada y de salida:



Se ha simulado el factor de estabilidad, encontrando que es superior a 1 por lo que el amplificador es incondicionalmente estable.

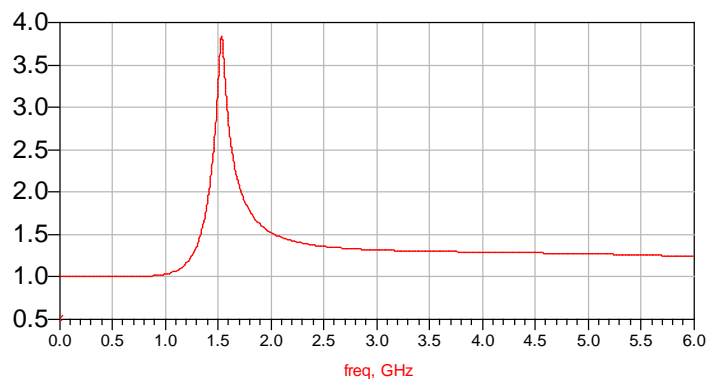



Figura 8 - Factor de estabilidad del amplificador

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 11 of 46

Como alternativa a este diseño se puede utilizar el LNA propuesto para la etapa de entrada, el HMC719 de Hittite, que minimizaría el número de componentes y el tiempo de puesta en marcha del circuito.

Una alternativa integrada para el LNA es el MMIC de Hittite HMC719LP4. Es un componente de AsGa con una figura de ruido de 1dB y ganancia de 34dB. La versión comercial está disponible en encapsulado de plástico, pero al igual que el *switch*, se puede cambiar a cerámico si se considera necesario.

3.3.DISEÑO DEL ACOPLADOR DIRECCIONAL

El acoplador direccional deberá de ser diseñado en tecnología *stripline*, con substrato Rogers 4003, de 4 capas. Las especificaciones iniciales de diseño son:

- Pérdidas de acoplamiento: 18 dB
- Pérdidas de inserción: 0,5 dB
- Aislamiento entre entradas: 20 dB
- Adaptación de impedancia: 20 dB

3.4.DISEÑO DE VCO Y PLL

Los osciladores van a ser sintetizados mediante PLL's a partir del reloj de referencia externo. La frecuencia de central del oscilador es de 10 MHz y debe cumplir una estabilidad de 2,5 ppm en un rango de temperatura desde -30°C a 75 °C. Llega al instrumento a través del bus de conexión del back-plane mediante conectores blindados. Todos los osciladores tienen esta señal como referencia de forma que se tiene coherencia de fase pero el ruido de los osciladores es incorrelado entre ellos.


El PLL elegido es el PLL PE9763 de Peregrine Semiconductor. Es un componente de alta fiabilidad certificada por el fabricante, quien especifica que es insensible a fenómenos de Latch-up. Las características del PLL se resumen en la tabla adjunta:

Tabla 1 - PE9763 Características del PLL PE9763 de Peregrine

Parameter	Value	Units
Frequency	50 - 3200	MHz
Maximum reference frequency	100	MHz
Maximum comparison frequency	50	MHz
Supply voltaje	3	V
Operating temperatura	-40 / + 85	°C
Phase noise 1KHz offset (*)	-88	dBc/Hz
10KHz offset (*)	-92	dBc/Hz

3.5.ELECCIÓN DEL MEZCLADOR

La etapa mezcladora realiza la conversión de la señal de entrada a la frecuencia intermedia de 70MHz. El receptor va a ser diseñado sin control automático de ganancia por lo que las especificaciones del circuito mezclador van a determinar la configuración óptima de la cadena receptora.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 12 of 46

Las especificaciones a tener en cuenta en el mezclador son:

- Pérdidas de inserción
- Punto de compresión a 1dB
- Figura de ruido

El mezclador seleccionado es el HMC296MS8 DE Hittite.

Tabla 2 - Requisitos para el mezclador y especificaciones del HMC296MS8

Requirement	Value	HMC296MS8 datasheet value
Pérdidas de inserción	<10dB	7dB
P1dB	0dBm	+13dBm
Figura de ruido	<10dB	7dB
Frecuencia de entrada	1574,32 - 1576.52 MHz	1100 – 1700 MHz
IF frequency band	70 MHz	DC – 700 MHz

El HMC296MS8 es un mezclador doblemente balanceado fabricado con tecnología de arseniuro de Galio, lo que lo hace intrínsecamente resistente a la radiación. Funciona con un nivel de oscilador local bajo, ya que posee *driver* interno. Se fabrica en dos versiones, una comercial MSOP con encapsulado plástico de 8 patillas, y otra con encapsulado cerámico hermético de alta fiabilidad.

3.6.FILTROS DE FI A 70 MHz

En el caso de utilizar como frecuencia intermedia 70 MHz, los filtros elegidos son los de referencia 854655 de Triquint. Las características principales son:

- Ancho de banda a 3 dB: 2,5 MHz
- Pérdidas de inserción: 9dB
- Rizado en la banda de paso < 1dB
- Encapsulado cerámico hermético.

Al realizar una única conversión de frecuencia la ganancia en frecuencia intermedia es muy elevada. Se recomienda utilizar dos filtros en FI. El primero elimina las espureas a la salida del mezclador y el segundo atenúa el pedestal de ruido que acompaña al ancho de banda de la señal útil antes de la entrada del conversor A/D.

3.7.ELECCIÓN DE LA FRECUENCIA DE MUESTREO

La frecuencia de muestreo propuesta es 16,384 MHz. Esta frecuencia se obtiene al multiplicar 4.096 por 4. La FI es aproximadamente $\frac{1}{4}$ de la frecuencia de muestreo, lo cual facilita la demodulación I/Q al asignar muestras pares e impares a las ramas I y Q. El inconveniente es que aparece un offset de frecuencia ($4.464\text{MHz} - 4.096\text{MHz} = 368 \text{ KHz}$), que se ha de compensar posteriormente por procesado variando el valor del NCO. Se van a generar, a partir de la referencia de reloj externo de 10 MHz de alta estabilidad, mediante síntesis por medio de un PLL. El usado para la síntesis del OL tiene como frecuencia mínima de trabajo 50 MHz, por lo que en el caso de decidir utilizar el mismo, sería necesario utilizar un divisor.


En el siguiente gráfico se muestran las réplicas de baja frecuencia del espectro de la señal muestreada:



Figura 9 - Réplicas a baja frecuencia de la señal muestreada

3.8.ELECCIÓN DEL CONVERTOR A/D

El convertor A/D propuesto es el AD10200 de Analog Devices. Es un convertor de 12 bits que tiene un ancho de banda superior a 100MHz. Para la aplicación del reflectrómetro este convertor está sobredimensionado, ya que solo es necesario muestrear la señal con 2 bits. De todas formas se propone su utilización debido a la experiencia que se posee en cuanto a su fiabilidad.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 14 of 46

4. TARJETA ALIMENTACIONES

La función de la tarjeta de Alimentaciones será generar localmente, a partir de un bus primario de 28V, todas las tensiones necesarias para el funcionamiento del PAU. También debe alimentar a las distintas tarjetas que forman el experimento a partir de las órdenes de activación del OBDH (a través de la RTU).

4.1.GENERACIÓN LOCAL DE TENSIONES

Para esta función se utilizan convertidores DC/DC y/o reguladores lineales. Para generar las tensiones de la FPGA de 1.2V y 3.3V se puede hacer mediante un DC/DC con salida 3.3V y un regulador lineal a su salida para obtener 1.5V. El esquema sería como el de la siguiente figura:

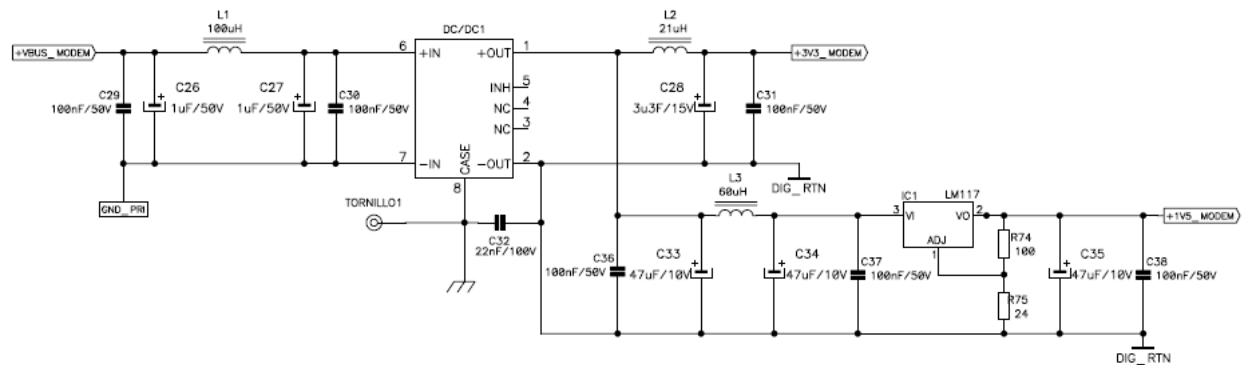



Figura 10 - Esquema de la alimentación de la FPGA

Estos DC/DC están disponibles en encapsulados con *flange* y sin él. Aunque no sea necesario por motivos de consumo y disipación térmica, es preferible la versión con *flange* porque facilita la sujeción del componente al PCB.

El regulador lineal es el LM117 de National, también en calidad 883B. Es un regulador que puede ajustar la tensión de salida según el valor de las resistencias R₇₄ y R₇₅. Está disponible en varios encapsulados, como el TO-39 (0.5A) o el TO-3 (1.5A).

En todos los casos hay que utilizar un filtro EMI a la salida del DC/DC. El fabricante ofrece filtros EMI para cada familia de convertidores, pero tratándose de tensiones locales de la unidad que se distribuyen a través de *back-plane*, con un filtro con discretos (con en la Figura 10) es suficiente.

Todos estos DC/DC incluyen un pin de *enable* que se puede utilizar para el ON/OFF a partir de la orden de activación del OBDH.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 15 of 46

5. PROCESADO DE SEÑAL

5.1.REQUISITOS DE PROCESADO

- GPS crudo: 8Mb/s
- GPS procesado: 16 cortes en Doppler de 4096 muestras en retardo de 16 bits cada una 1048576 bits = 131KB por DDM. Idealmente sería cada 1s, es decir 131KB/s, pero seguramente la Virtex 4 podrá calcular ella sola uno cada 10-15s, por lo que de manera realista el flujo será unas 10 veces menor como mucho: 13.1KB/s = 105Kb/s.
- Radiómetro procesado: 240b/s

5.2.REQUISITOS HARDWARE

Se ha decidido utilizar dos tarjetas de procesado distintas, ambas basadas en Virtex4: una con la versión comercial (de encapsulado cerámico) y otra con la versión de alta fiabilidad. Se ha descartado utilizar las FPGAs de Actel de la familia RTAX debido a que con su capacidad no es posible realizar el procesado necesario.

Para la versión comercial, que se utilizará hasta el modelo QM, se intentará buscar un zócalo para adaptar el encapsulado BGA a uno SMD, más cómodo y fácil de montar.

5.2.1. MEMORIA

Los estudios preliminares de implementación realizados por la UPC establecen que es necesario disponer de dos bloques de memoria de datos diferenciados de la siguiente capacidad:

- 8 Mbits para muestras de datos (sin protección especial frente a la radiación).
- 256 Kbits para datos observables PAU-GNSSR (con protección a la radiación).

Se ha realizado un estudio de las memorias utilizadas en misiones/proyectos pasados para evaluar su posible aplicación en el proyecto PAU en Microsat, especialmente con dispositivos de memoria SRAM.


5.2.2. OPERACIONES CON EL OBDH

Los cálculos de procesado se realizarán en la FPGA y no en el OBDH. El programa se grabará en una memoria EEPROM de la tarjeta de procesado y se cargarán en la FPGA cada vez que se active el instrumento. Esto implica que no es necesario implementar triple redundancia en la FPGA como protección frente a la radiación.

5.3.PROPUUESTA DE IMPLEMENTACIÓN

En base a los datos disponibles se pueden establecer diferentes perfiles de implementación.

Esta implementación consiste en utilizar una memoria ROM donde se encuentra el programa de procesado de señal que va a ser volcado a la FPGA y una Virtex-4 comercial con encapsulado plástico o cerámico:

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 16 of 46

- Una memoria de programación (OTP) resistente a la radiación tipo **XQR17V16** (16Mbits). Esta memoria endurecida, grabable una vez, asegura las iterativas configuraciones de la FPGA. Un error inducido en el contenido de esta memoria, podría inutilizar permanentemente la descarga de configuración de la FPGA.
- Una FPGA Virtex-4, de rango de temperaturas -25 a 80 °C, de encapsulado plástico/cerámico sin calificación explícitamente espacial. Este componente podría ser un dispositivo **XC4LX40**, lo cual permitiría emplear una única memoria de configuración. El dispositivo evaluado por la UPC actualmente es una **XC4LX60**, el cual requiere un bitstream de configuración de ~17Mbits. Según los datos aportados por la UPC, la estimación de ocupación máxima esperada no supera el 50% de dicho dispositivo. Esto refuerza la propuesta de utilización del dispositivo XC4LX40.
- ✓ La UPC deberá ratificar las prestaciones del diseño a implementar (datos de ocupación principalmente para seleccionar en consecuencia el dispositivo necesario: XC4LX40 o XC4LX60).

6. INTERFACES

6.1. ELÉCTRICO

Hardware:

- Alimentación: Bus primario a través de un backplane (+28V no regulados).
- OBDH:
 - Bus CAN para control y TM/TC: Flags (indicar posición switches), tensiones, corrientes alimentación, temperaturas en las cargas adaptadas que conmutan con las antenas y en el plano de masa del array
 - SpaceWire: grabación de datos en la MMU. 1GB de espacio reservado. Sí asignación dinámica de memoria OK reprogramar rango y cantidad de memoria desde tierra.
- Conectores: KND machos acodados para los PCB y aéreos hembra para el back-plane.

Software:

- Gestión del instrumento:
 - OBDH
 - ON/OFF power up
 - ON/OFF adquisición medidas
 - Carga o lectura de registros internos
 - Volcado de datos crudos, procesados o los dos

6.2. MECÁNICO

El instrumento PAU estará formado por 5 módulos conectados a través de un back-plane:

- 1 *front-end* (redundado)
- 1 Tarjeta de procesado con Virtex4 comercial
- 1 Tarjeta de procesado con Virtex4 de alta fiabilidad resistente a radiación
- 1 RTU
- 1 Tarjeta alimentaciones

Estas 5 tarjetas de tamaño Europa (100x160mm) irán conectadas entre sí mediante un Back-plane en el lado de 100mm. Los conectores de tipo Sub-D o SMA se colocarán deseablemente en el extremo opuesto del mismo.

En la Figura 11 y en la Figura 12 pueden verse algunas de las bases de las tarjetas:

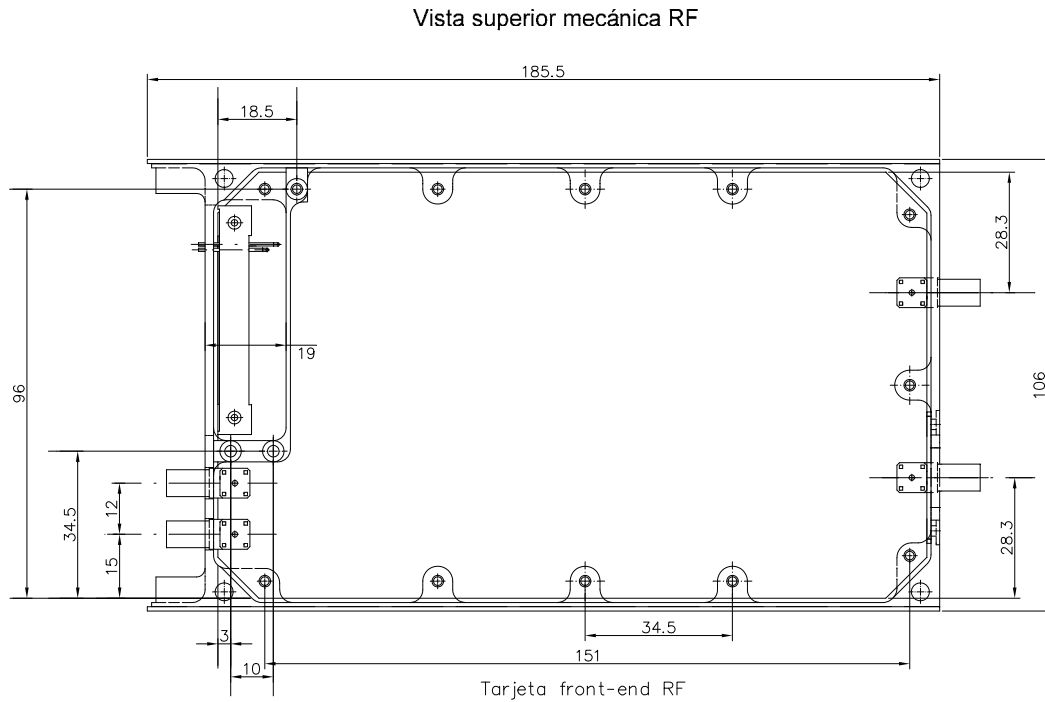


Figura 11 - Mecánica del front-end de RF

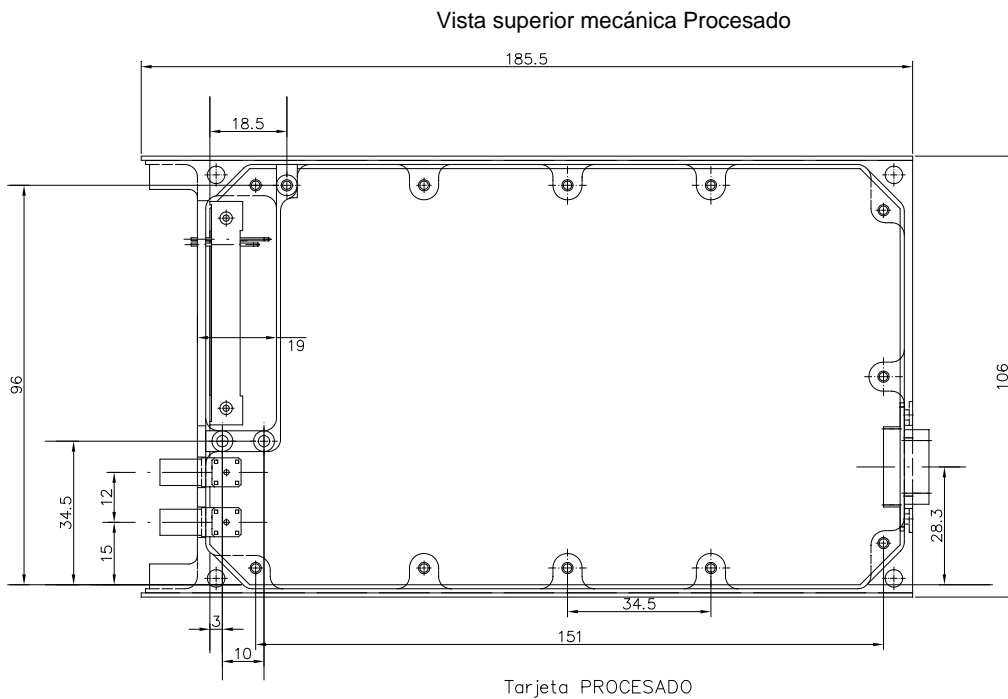



Figura 12 - Mecánica de la placa de procesamiento de señal

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 18 of 46

En las figuras siguientes se muestran las imágenes tridimensionales del conjunto montado. En la Figura 13 se muestra una vista de la tarjeta de Alimentaciones en la base de la unidad en la que también se aprecia el Back-panel y sus conectores KNC, y en la Figura 14 se ve un ejemplo de distribución del piso de la FPGA Virtex-4.

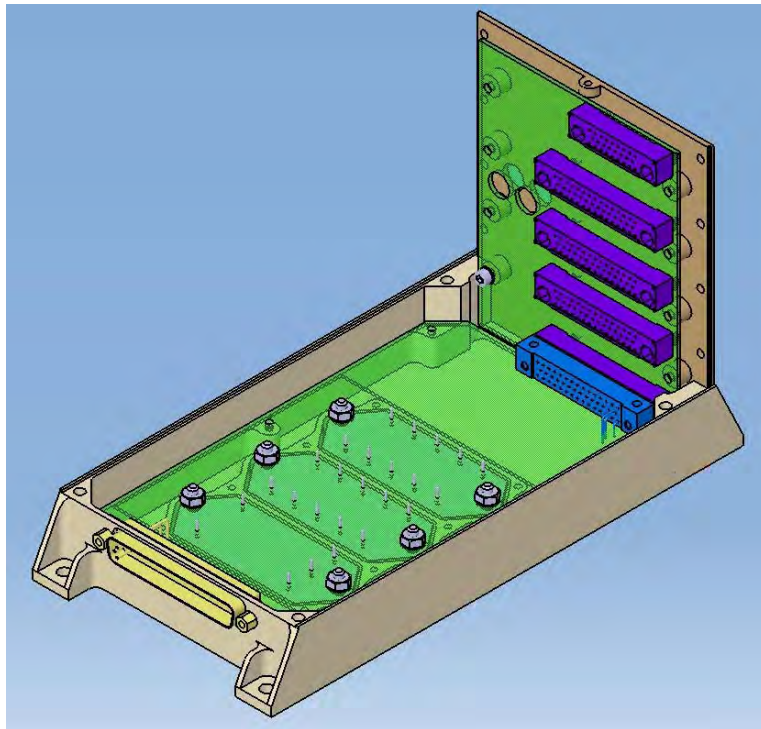


Figura 13- Vista de la tarjeta de Alimentaciones alojada en la base de la unidad

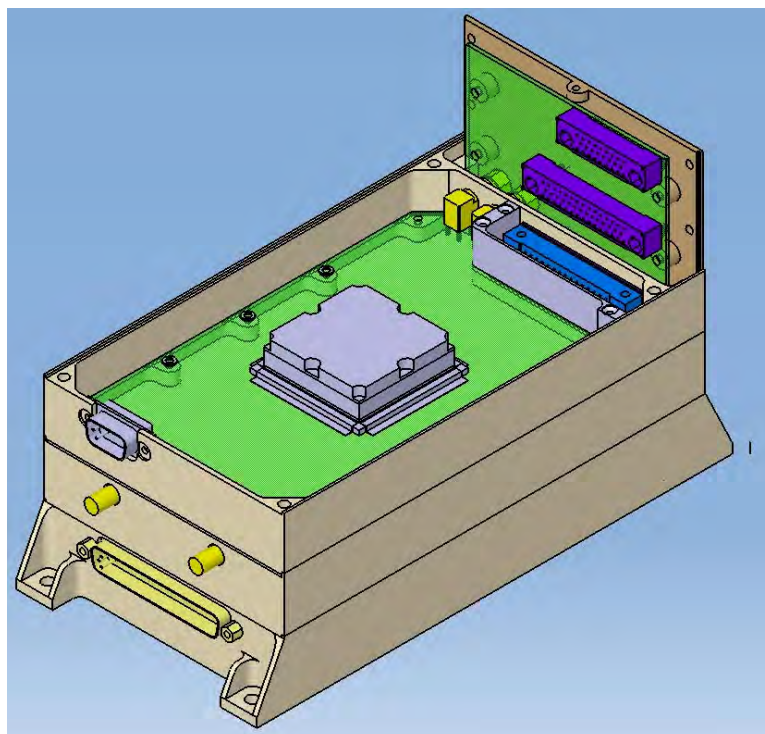


Figura 14 - Piso de la tarjeta Virtex-4

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 19 of 46

En la Figura 15 se muestra una vista del piso del receptor y en la Figura 16 se ve una vista completa con tapa transparente.

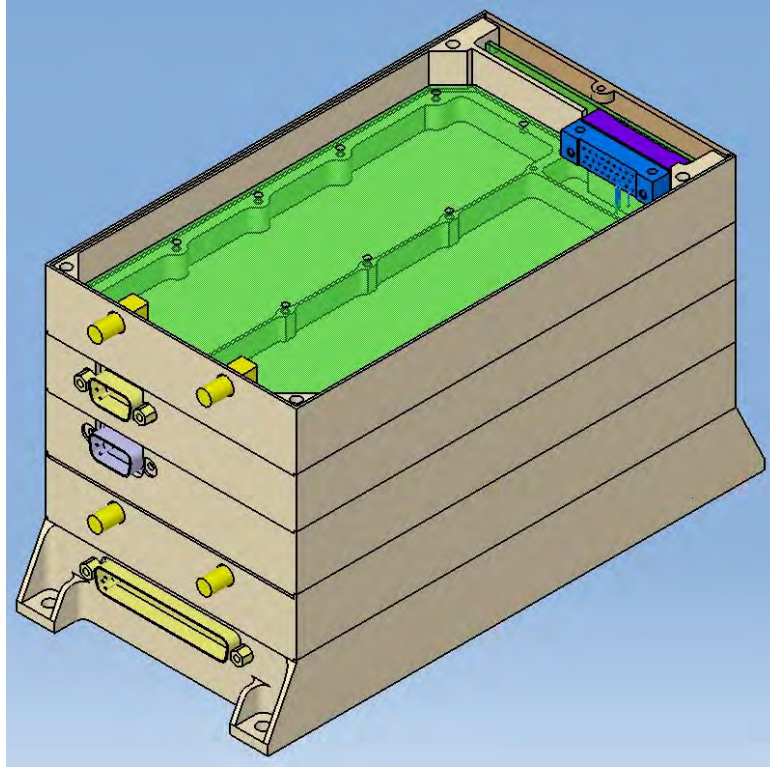


Figura 15 - Vista del piso del receptor

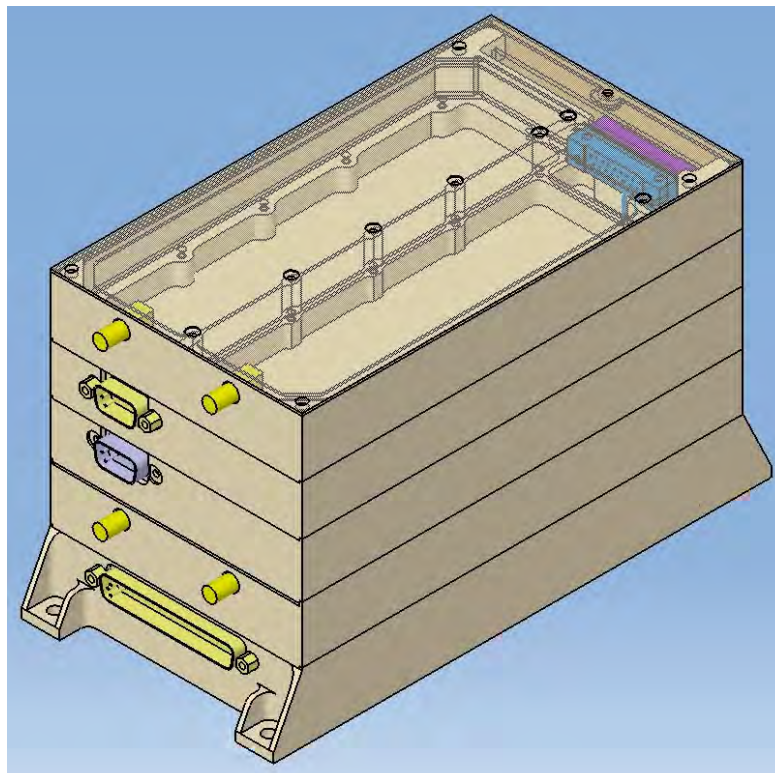



Figura 16 - Vista de la caja completa con la tapa en transparente

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 20 of 46

7. ESTUDIO DE COSTES

A continuación se incluye una tabla con los costes de componentes y fabricación de PCB's del PAU, ya sólo la opción de diseño con componentes calificados. Son precios de venta directos del fabricante o del distribuidor en España. Si la empresa contratada asumiese la gestión de compras, habría que sumar un 5% a estos precios por este concepto y por financiación.


Es posible hacer varias combinaciones en la configuración de las tarjetas en función de la calidad de los componentes. Por este motivo esta lista de precios

De momento se desconocen los costes de los componentes de la tarjeta Alimentaciones.

Tabla 3 - Precios de componentes utilizando componentes discretos

Componente	Part Number	Calidad	Precio unitario (€)	MoQ	Total (€)	Plazo entrega (semanas)
Transistor LNA	EPB018A5	EQM/FM	800	25	20000	
Filtro SAW RF	856561	EQM/FM	160	6	960	
PLL	PE9763-01	EM/QM	750	6	4500	12 - 16
		FM	1873	10		
Mixer	HMC296MS8	EM/QM	3	10	30	
		FM	270	25		39
			63380			
Filtro SAW 70MHz	854655	EQM/FM	160	6	960	
A/D	AD10200BZ	EM/QM	442	10	4420	
	AD10200TZ	FM	1500	10		
FPGA	AX2000-CQ352	EM/QM	800	27		4 - 6
	RTAX2000-CQ352B (Militar)	FM	3000	3		4 - 6
	XLXQR4VSX55-10CF1140V (Virtex 4 Alta fiabilidad)	FM	18821	6	112926	24
	XLXC4VLX40-11FF668IS2 (Virtex 4 Industrial)	EM/QM	542	6	3252	4
Herramientas desarrollo Virtex					NO INCLUIDO	
Memorias Programación	XLXQR17V16CC44M (Militar)	EM/QM	460	26		1
	XLXQR17V16CC44V (Alta fiabilidad)	FM	645	26	16770	4
Memorias Datos	UT9Q512E 4M SRAM	FM	900	6		
	UT9Q512K32E 16M SRAM MCM	FM	2800	3	8400	
Fabricación PCB FR4	5 targetas tamaño Europa (100x160mm)	EQM/FM	381	2x5	3810	
Fabricación PCB RO4003		EQM/FM	457	1x5	2285	
Conversores DC/DC		FM	1800	10	NO INCLUIDO	
					178313	

En las tablas no están incluidos los componentes de la placa de alimentaciones. Tampoco están incluidos los componentes pasivos de bajo coste, como resistencias y condensadores.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 21 of 46

8. PLIEGO DE CONDICIONES PARA EL SUMINISTRO DE DOS EQUIPOS DEL INSTRUMENTO PAU

El proveedor deberá de entregar, además de toda la documentación técnica referente al proyecto, dos prototipos del instrumento PAU de acuerdo a las especificaciones técnicas que se describen en el presente apartado.

8.1. PLIEGO DE CONDICIONES TÉCNICAS

8.1.1. ESPECIFICACIONES TÉCNICAS DE LAS ANTENAS

Se suministrarán dos antenas:

1. Antena dieléctrica con polarización circular a derechas.
2. Antena tipo array de 7 elementos de parches dieléctricos con polarización circular a izquierdas. Las especificaciones del array son las siguientes:
 - o Los elementos del array deben de estar situados en los vértices y en el centro de un hexágono de 14 centímetros de diagonal.
 - o Las señales procedentes de cada elemento sumarán mediante un combinador de 7 entradas en fase fabricado en tecnología stripline.


Las dos antenas deberán de cumplir los puntos siguientes:

- Dorado de las partes metálicas exteriores.
- Las zonas aislantes deben pintarse con pintura conductora negra de alta resistividad.
- Cada elemento individual deberá de ir pegado con adhesivo sobre el honey-comb de aluminio que actúa de plano de masa.
- Deberá de estar prevista la posibilidad de utilizar calefactores para mantener la temperatura de la antena.

8.1.2. ESPECIFICACIONES TÉCNICAS DEL RECEPTOR

Un módulo receptor deberá contener dos circuitos receptores que trabajarán en modo principal y redundante. Las especificaciones que deberán de cumplir cada uno de los circuitos son las siguientes:

- | | |
|---|--|
| - Frecuencia central | 1.57542 MHz |
| - Rechazo a la frecuencia imagen | > 35 dB |
| - Ancho de banda a 3 dB | 2,5 MHz |
| - Figura de ruido | < 4 dB |
| - Ganancia mínima | 150 dB |
| - Control de ganancia | ajustable |
| - Frecuencia intermedia | 70 MHz |
| - Nivel de espúreas para 2 portadoras a 0 dBm | 50 dB |
| - Tensión de alimentación | +/- 5V |
| - Conmutación entre receptor principal y redundante | Tensión de alimentación |
| - Reloj de referencia externo | 10 MHz |
| - Conectores de entrada | SMA |
| - Conector de salida | directa al back-plane |
| - Telemidas | Consumo de corriente y tensión de alimentación |
| - Dimensiones del PCB | 100 x 166 mm |
| - Dimensiones mecánicas del módulo | según el apartado 6.2 . |

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 22 of 46

8.1.3. ESPECIFICACIONES TÉCNICAS DEL MODULO DE PROCESADO 1

Este módulo deberá contener el conversor A/D de telemidas además del hardware necesario para realizar el procesado de señal según las especificaciones siguientes:

- Frecuencia de entrada 70 MHz
- Nivel de entrada 0 dBm
- Conversor A/D 2 bits
- Frecuencia de muestreo 16,384 MHz
- FPGA Virtex4 XLXXC4VSX55
- Memoria de programa 16 Mbits
- Memoria de datos 8 Mbits
- Montaje de la FPGA Zócalo
- Reloj de referencia 10 MHz externo
- Interface de control Bus SPI
- Interface de datos Space-wire
- Interface para comandos CAN bus
- Firmware de procesado Suministrado por la UPC
- Telemidas Consumo de corriente y tensión de alimentación
- Dimensiones del PCB 100 x 166 mm
- Dimensiones mecánicas del módulo según el apartado 6.2 .

8.1.4. ESPECIFICACIONES TÉCNICAS DEL MODULO DE PROCESADO 2


Este módulo tiene las mismas especificaciones que el módulo anterior pero debe de ser fabricado con componentes de alta fiabilidad.

- Frecuencia de entrada 70 MHz
- Nivel de entrada 0 dBm
- Conversor A/D 2 bits
- Frecuencia de muestreo 16,384 MHz
- FPGA Virtex4 XLXXQR4VSX55-10CF1140V
- Memoria de programa XLXXQR17V16CC44V
- Memoria de datos SRAM UT9Q512K32E 16M
- Reloj de referencia 10 MHz externo
- Interface de control Bus SPI
- Interface de datos Space-wire
- Interface para comandos CAN bus
- Firmware de procesado Suministrado por la UPC
- Telemidas Consumo de corriente y tensión de alimentación
- Dimensiones del PCB 100 x 166 mm
- Dimensiones mecánicas del módulo según el apartado 6.2 .

8.1.5. ESPECIFICACIONES TÉCNICAS DEL MODULO DE ALIMENTACIONES

Este módulo se encarga de suministrar las tensiones de alimentación para todos los módulos que forman el instrumento y de la selección del funcionamiento entre los circuitos principal y redundante en el caso del receptor.

Debe de entregar las tensiones siguientes:

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 23 of 46

Entrada de bus no regulado	22V a 28V
Receptor principal	+ 5V, 1 A -5V, 100mA
Receptor redundante	+ 5V, 1 A -5V, 100mA
Módulo de procesado 1	1.2V 3 A 3.3V 1A
Módulo de procesado 2	1.2V 3 A 3.3V 1A
Dimensiones del PCB	100 x 166 mm
Dimensiones mecánicas del módulo	según planos del apartado 6.2 .

8.1.6. ESPECIFICACIONES TÉCNICAS DE INTERFACE CON EL ORDENADOR

Deberá de recibir órdenes procedentes de un ordenador mediante comandos enviados por un bus CAN y enviarlos a los módulos de procesado mediante un bus SPI.

- Interface de conexión con el ordenador Bus CAN
- Interface de comunicación con los módulos de procesado Bus SPI
- Dimensiones del PCB 100 x 166 mm
- Dimensiones mecánicas del módulo según el apartado 6.2

8.2.ESPECIFICACIONES DE SUBSISTEMA

8.2.1. ESPECIFICACIONES ELECTRICAS (INTERFACES)

Los interfaces eléctricos de los distintos elementos del subsistema serán

EXTERNOS	SMA (f) 50Ω	Conexión a la antena
	DB9	Bus CAN
	DB15	Vbus conexión al PDU
INTERNOS	KND (m) 26, 44 ó 62 pins	Conexión al back-panel

8.2.2. ESPECIFICACIONES MECANICAS

Los especificaciones mecánicas mínimas de los distintos elementos del subsistema serán

Dimensiones de las tarjetas	100x166 mm
Acabado	Anodizado negro
Masa	TBD

8.2.3. ESPECIFICACIONES AMBIENTALES

Las especificaciones ambientales mínimas de los distintos elementos del subsistema serán:

Temperatura	-30° a +60°
Radiación	≥ 10Krad
Vibración	Sinusoidal: Ver Tabla 4
	Aleatoria: Ver Tabla 5

	Frequency range (Hz)		PROTOTIPO 1			PROTOTIPO 2		
	S/C	Spec.	S/C		Spec.	S/C		Spec.
			Test plan	Test results		Test plan	Test results	
Longitudinal	5-9 9-100	4-6 6-100	12.5mm 3.75g		25mm 3.75g			20mm 3g
Lateral	5-8 8-100	2 - 6 6 - 100	12.5mm 2.5g		20mm 2.5g			16mm 2g
Sweep rate (Oct/min)			2		2			4

Tabla 4 - Sinusoidal Test


	Frequency range (Hz)		PROTOTIPO 1			PROTOTIPO 2		
	Spec.	S/C	S/C	Spec.	S/C	S/C	Spec.	
								Test plan
Per axis	20-2000	0.0727		0.0727g ² /Hz	0.05		0.05g ² /Hz	
Test duration (min)		2		2	1		1	

Tabla 5 - Random Vibration Tests

8.3. ENTREGABLES

La empresa adjudicataria deberá asumir los entregables siguientes:

1. Documento 1: Notas técnicas de diseño. Este documento incluirá los esquemáticos, la descripción del funcionamiento de los circuitos, las simulaciones y las medidas realizadas para validar individualmente cada bloque.
2. Documento 2: Manual de fabricación. Este documento será el conjunto de instrucciones para el montaje de los prototipos. Deberá contener las especificaciones de los circuitos impresos, los planos mecánicos de piezas y de ensamblaje y el listado de componentes.
3. Documento 3: Manual de Test. Este documento incluirá los procedimientos de ajuste así como los de verificación y aceptación del equipo.
4. Documento 4: Manual de Utilización. Este documento incluirá las instrucciones de usuario necesarias para operar con el equipo.
5. Un Prototipo Preliminar para evaluar el diseño electrónico a nivel de laboratorio.
6. Un Prototipo 1 que constará de los módulos siguientes:
 - Antena dieléctrica.
 - Array de 7 elementos de antenas dieléctricas.
 - Combinador de 7 entradas.
 - 1 módulo conteniendo dos receptores según las especificaciones técnicas enunciadas en el apartado 8.1.2.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 25 of 46

- 2 módulos de procesado con Virtex4 comercial, memoria de programa y de datos, según especificaciones técnicas enunciadas en el apartado 8.1.3.
 - 1 Tarjeta de interface con el ordenador según las especificaciones del apartado 8.1.6.
 - 1 Tarjeta alimentaciones según las especificaciones del apartado 8.1.5.
 - Back-plane de conexión entre módulos y fijaciones mecánicas. Los conectores serán SUB-D para datos y SMA para señales de RF.
 - Cableado de conexión entre los elementos de la antena, el combinador y el receptor.
7. Un Prototipo 2 que deberá constar de los siguientes elementos:
- Antena dieléctrica.
 - Array de 7 elementos de antenas dieléctricas.
 - Combinador de 7 entradas.
 - 1 módulo conteniendo dos receptores según las especificaciones técnicas enunciadas en el apartado 8.1.2.
 - 1 módulos de procesado con Virtex4 de alta fiabilidad, memoria de programa y de datos, según especificaciones técnicas enunciadas en el apartado 8.1.3.
 - 1 módulos de procesado con Virtex4 de alta fiabilidad, memoria de programa y de datos, según especificaciones técnicas enunciadas en el apartado 8.1.4.
 - 1 Tarjeta de interface con el ordenador según las especificaciones del apartado 8.1.6.
 - 1 Tarjeta alimentaciones según las especificaciones del apartado 8.1.5.
 - Back-plane de conexión entre módulos y fijaciones mecánicas. Los conectores serán SUB-D para datos y SMA para señales de RF.
 - Cableado de conexión entre los elementos de la antena, el combinador y el receptor.
8. Documento 5: Informe de Tests Funcionales y de Aceptación. Este documento contendrá los informes de ensayos funcionales realizados sobre el Prototipo 2 y su concordancia con los requisitos de aceptación.

La entrega de estos 'entregables' se hará con ocasión de los hitos del Proyecto según consta en la tabla adjunta.

	<i>Doc.1</i>	<i>Doc.2</i>	<i>Doc.3</i>	<i>Doc.4</i>	<i>Doc.5</i>	<i>Prototipo Preliminar</i>	<i>Prototipo 1</i>	<i>Prototipo 2</i>
KO	--	--	--	--	--	--	--	--
PRR	Rev.01	--	--	--	--	--	--	--
PDR	Rev.02	Rev.01	Rev.01	--	--	X	--	--
CDR	Rev.03	Rev.02	Rev.02	Rev.01	--	--	X	--
FPD	Rev.04	Rev.03	Rev.03	Rev.02	--	--	--	X
END	Rev.05	Rev.04	Rev.04	Rev.03	X	--	--	--

Tabla 6 - Entregables según hitos del Proyecto

9. ESTRUCTURA DEL PROYECTO

9.1.SUBDIVISION DE TAREAS

El Proyecto se estructurará de acuerdo a la siguiente subdivisión de tareas:

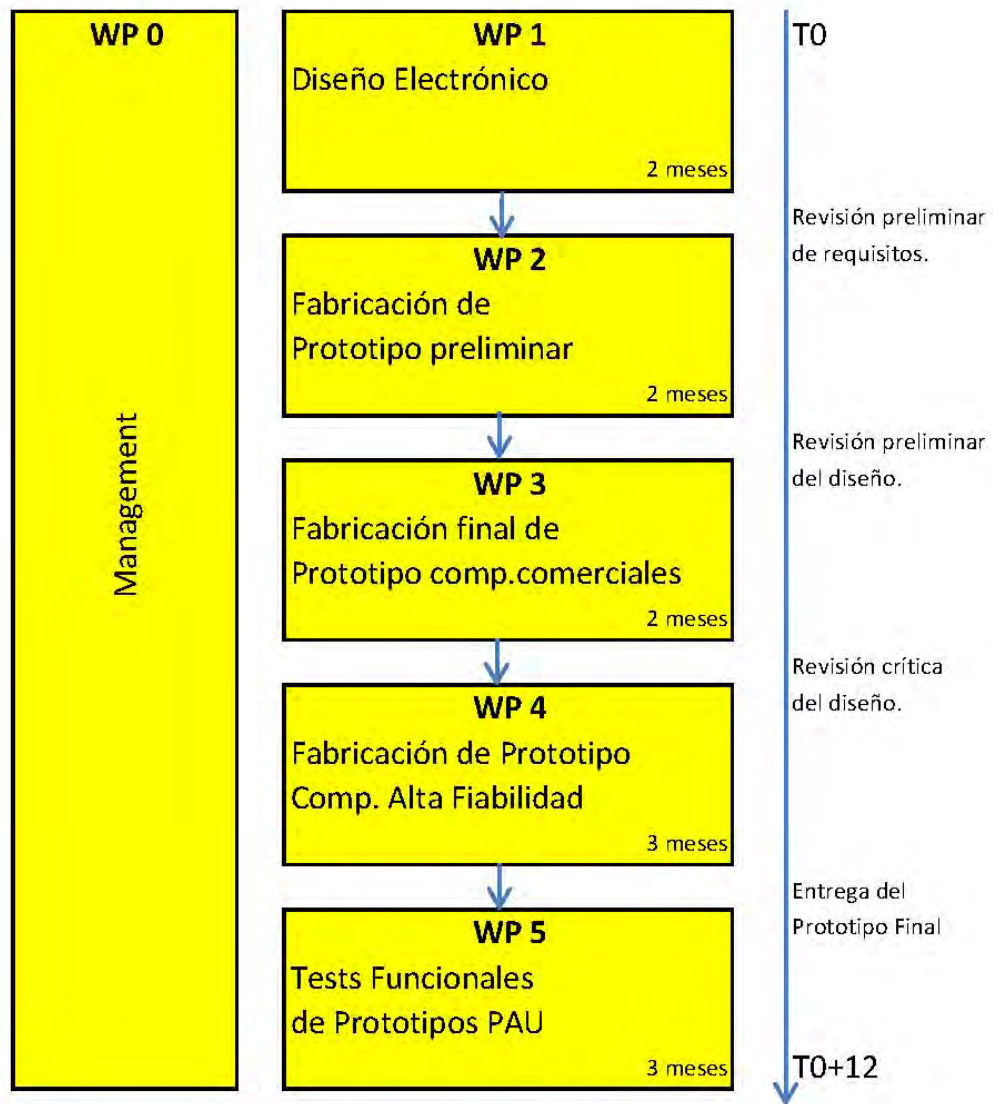



Figura 17- Organización de tareas del Proyecto

9.2.HITOS

El Proyecto tendrá los siguientes hitos de control:

Hito	Acrónimo	Fecha prevista
Kick-Off	KO	T0
Revisión Preliminar de Requisitos	PRR	T0+2
Revisión Preliminar del Diseño	PDR	T0+4
Revisión Crítica del Diseño	CDR	T0+6
Entrega del Prototipo Final	FPD	T0+9
Final de Proyecto	END	T0+12


	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 27 of 46

10. DIVISIÓN EN PAQUETES DE TRABAJO

El Proyecto se llevará a cabo de acuerdo a la siguiente organización en paquetes de trabajo:


WP 0: GESTIÓN DEL PROYECTO (MANAGEMENT).

PROJECT:	IMPLEMENTACION DE PAU			WP REF: WP-0
WP Title	Gestión del Proyecto (Management)			Sheet 1 of 1
Contractor				Issue Ref 1.0
Major Constituent				
Start Event	KO	Planned Date	T0	Issue Date 28.10.2009
End Event	END	Planned Date	T0+12	
WP Manager				
<p>Este paquete de trabajo (WP0) será responsabilidad del Contratista y asegurará la correcta ejecución de todas las tareas del Proyecto para conseguir los objetivos finales. El responsable será el Project Manager que el Contratista designe.</p> <p>Tareas:</p> <ul style="list-style-type: none"> • Dirigir la organización del Proyecto en consonancia con los requisitos. • La gestión del Proyecto se encaminará a: <ul style="list-style-type: none"> ○ Obtener los recursos necesarios para el éxito del proyecto evitando interferencias con otros posibles proyectos. ○ Control de todas las actividades técnicas y recursos del proyecto necesarios para cumplir los requisitos del proyecto. • Asegurar los interfaces correctos con la UPC y demás actores que intervengan en el Proyecto. • Organizar las reuniones necesarias para la buena marcha del proyecto y en particular las correspondientes a los hitos (Kick-off, PRR, PDR, CDR, Entrega de Prototipo Final y Final de Proyecto) <p>Inputs:</p> <ul style="list-style-type: none"> • Este documento • Contrato. <p>Outputs:</p> <ul style="list-style-type: none"> • Convocatoria de reuniones. • Actas de reuniones. <p>Duración estimada: Todo el Proyecto</p>				
Entregables:				

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 28 of 46


WP 1: DISEÑO ELECTRÓNICO.

PROJECT:	IMPLEMENTACION DE PAU				WP REF: WP-1
WP Title	Diseño Electrónico				Sheet 1 of 1
Contractor					Issue Ref 1.0
Major Constituent					
Start Event	KO	Planned Date	T0		Issue Date 28.10.2009
End Event	PRR	Planned Date	T0+2		
WP Manager					
<p>Tareas:</p> <ul style="list-style-type: none"> • Diagrama de bloques. • Diseño teórico. • Definición de señales de comunicación entre módulos. • Definición de los interfaces externos. • Estudio mecánico. • Elaboración de las listas de material preliminares. • Estudio de plazos de entrega. • Estudio de costes para hacer el diseño realizable con el presupuesto disponible. • Elaboración del diseño definitivo. <p>Inputs:</p> <ul style="list-style-type: none"> • Este documento • Otras referencias relevantes <p>Outputs:</p> <ul style="list-style-type: none"> • Diseño electrónico y mecánico preliminar <p>Duración estimada: 2 meses</p>					
<p>Entregables:</p> <ul style="list-style-type: none"> • <i>Documento1 - Notas Técnicas de Diseño. Rev.01</i> 					

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 29 of 46


WP 2: FABRICACIÓN DE UN PROTOTIPO PRELIMINAR.

PROJECT:	IMPLEMENTACION DE PAU				WP REF: WP-2
WP Title	Fabricación de un prototipo preliminar				Sheet 1 of 1
Contractor					Issue Ref 1.0
Major Constituent					
Start Event	PRR	Planned Date	T0+2		Issue Date 28.10.2009
End Event	PDR	Planned Date	T0+4		
WP Manager					
<p>Tareas:</p> <ul style="list-style-type: none"> • Montaje de las antenas. • Compra de componentes para el primer prototipo y de los componentes críticos del prototipo de alta fiabilidad. • Diseño de los circuitos impresos de los 5 módulos que forman el PAU. • Diseño del circuito impreso del combinador de 7 entradas. • Medidas del combinador de 7 entradas. • Montaje de los componentes en los circuitos. • Puesta en marcha. • Realización de medidas de los circuitos. • Elaboración de los esquemas de los prototipos definitivos. <p>Inputs:</p> <ul style="list-style-type: none"> • Conclusiones del WP1. • Documento 1. • Este documento. • Otras referencias relevantes. <p>Outputs:</p> <ul style="list-style-type: none"> • Prototipo preliminar. • Notas técnicas de Diseño actualizadas. <p>Duración estimada: 2 meses</p>					
<p>Entregables:</p> <ul style="list-style-type: none"> • <i>Documento1 - Notas técnicas de diseño. Rev.02</i> • <i>Documento2 - Manual de fabricación. Rev.01</i> • <i>Documento3 - Manual de Test. Rev.01</i> • <i>Prototipo preliminar</i> 					

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 30 of 46


WP 3: FABRICACIÓN FINAL DE UN PROTOTIPO CON COMPONENTES COMERCIALES.

PROJECT:	IMPLEMENTACION DE PAU				WP REF: WP-3
WP Title	Fabricación de un prototipo con componentes comerciales				Sheet 1 of 1
Contractor					Issue Ref 1.0
Major Constituent					
Start Event	PDR	Planned Date	T0+4		Issue Date 28.10.2009
End Event	CDR	Planned Date	T0+6		
WP Manager					
<p>Tareas:</p> <ul style="list-style-type: none"> • Diseño de los circuitos impresos definitivos de los 5 módulos que forman el PAU. • Montaje de los componentes en los circuitos. • Puesta en marcha. • Diseño del circuito impreso definitivo del combinador de 7 entradas. • Realización de medidas. • Realización de las medidas de aceptación conjuntamente con la UPC. <p>Inputs:</p> <ul style="list-style-type: none"> • Conclusiones del WP2. • Documento 1. • Documento 2. • Documento 3. • Prototipo preliminar. • Este documento. • Otras referencias relevantes. <p>Outputs:</p> <ul style="list-style-type: none"> • Prototipo 1. • Notas técnicas de Diseño actualizadas. <p>Duración estimada: 2 meses</p>					
<p>Entregables:</p> <ul style="list-style-type: none"> • <i>Documento1 - Notas técnicas de diseño. Rev.03</i> • <i>Documento2 - Manual de fabricación. Rev.02</i> • <i>Documento3 - Manual de Test. Rev.02</i> • <i>Documento4 - Manual de Utilización. Rev.01</i> • <i>Prototipo 1 fabricado con componentes comerciales</i> 					

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 31 of 46


WP 4: FABRICACIÓN DE UN PROTOTIPO CON COMPONENTES DE ALTA FIABILIDAD.

PROJECT:	IMPLEMENTACION DE PAU				WP REF: WP-4
WP Title	Fabricación de un prototipo con componentes de alta fiabilidad				Sheet 1 of 1
Contractor					Issue Ref 1.0
Major Constituent					
Start Event	CDR	Planned Date	T0+6		Issue Date 28.10.2009
End Event	FPD	Planned Date	T0+9		
WP Manager					
<p>Tareas:</p> <ul style="list-style-type: none"> • Diseño del circuito impreso de la placa de procesamiento de alta fiabilidad. • Montaje de los componentes en los circuitos en sala blanca. • Puesta en marcha en sala blanca. • Realización de las medidas de aceptación conjuntamente con la UPC. <p>Inputs:</p> <ul style="list-style-type: none"> • Conclusiones del WP3. • Documento 1. • Documento 2. • Documento 3. • Documento 4. • Prototipo 1. • Este documento. • Otras referencias relevantes. <p>Outputs:</p> <ul style="list-style-type: none"> • Prototipo 2. • Notas técnicas de Diseño actualizadas. <p>Duración estimada: 3 meses</p>					
<p>Entregables:</p> <ul style="list-style-type: none"> • <i>Documento1 - Notas técnicas de diseño. Rev.04</i> • <i>Documento2 - Manual de fabricación. Rev.03</i> • <i>Documento3 - Manual de Test. Rev.03</i> • <i>Documento4 - Manual de Utilización. Rev.02</i> • <i>Prototipo 2 fabricado con componentes de alta fiabilidad</i> 					

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 32 of 46

WP 5: TEST FUNCIONALES DE LOS PROTOTIPOS DE PAU

PROJECT:	IMPLEMENTACION DE PAU				WP REF: WP-5
WP Title	Test funcionales de los prototipos de pau				Sheet 1 of 1
Contractor					Issue Ref 1.0
Major Constituent					
Start Event	FPD	Planned Date	T0+9		Issue Date 28.10.2009
End Event	END	Planned Date	T0+12		
WP Manager					
<p>Tareas:</p> <ul style="list-style-type: none"> • Campaña de medidas con los prototipos de PAU. • Realización de las medidas de aceptación funcional conjuntamente con la UPC. • Asistencia técnica para la realización de los test de vibrado y vacío térmico. <p>Inputs:</p> <ul style="list-style-type: none"> • Conclusiones del WP4. • Documento 1. • Documento 2. • Documento 3. • Documento 4. • Prototipo 2. • Este documento. • Otras referencias relevantes. <p>Outputs:</p> <ul style="list-style-type: none"> • Informe de Tests y Aceptación. • Notas técnicas de Diseño actualizadas. <p>Duración estimada: 3 meses</p>					
<p>Entregables:</p> <ul style="list-style-type: none"> • <i>Documento1 - Notas técnicas de diseño. Rev.05</i> • <i>Documento2 - Manual de fabricación. Rev.04</i> • <i>Documento3 - Manual de Test. Rev.04</i> • <i>Documento4 - Manual de Utilización. Rev.03</i> • <i>Informe de Tests Funcionales y de Aceptación</i> 					

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 33 of 46

APENDICE A - IMPLEMENTACIÓN DEL INSTRUMENTO PAU MEDIANTE FPGA

1. Reprogramación del dispositivo FPGA

La implementación del instrumento PAU en una FPGA SRAM de Xilinx conlleva utilizar una memoria PROM donde se encuentra el programa o “bitstream” de programación de la FPGA. Este “bitstream” determina el valor de las celdas SRAM que determinan el sistema digital implementado (o sea el instrumento PAU).

En la puesta en marcha del instrumento, el “bitstream” de programación se vuelca desde la memoria PROM externa (**XQR17V16**) hacia las celdas de configuración internas del dispositivo FPGA. Esta operación se realiza por tanto una vez durante la puesta en marcha.

2. BITSTREAM DE PROGRAMACIÓN

La memoria PROM **XQR17V16** que contiene el diseño lógico del instrumento PAU, es una memoria programable una única vez. Esto quiere decir, que el “bitstream” de configuración no es actualizable.

3. Opciones de mitigación de SEU

Las celdas de configuración del dispositivo FPGA son sensibles a los errores eventos simples de fallo debido a la radiación, o efectos SEU. Estos errores pueden provocar el mal funcionamiento y/o distorsión de funcionamiento del dispositivo FPGA.

Para evitar y/o minimizar los errores asociados a los efectos SEU en las celdas de configuración del dispositivo hay diferentes opciones de detección que han sido evaluadas:


- 1) implementar un controlador de configuración INTERNO, que periódicamente verifique el contenido de las celdas SRAM de configuración de la FPGA.
- 2) implementar un controlador de configuración EXTERNO en un dispositivo Rad-Hard externo inmune a SEU.
- 3) No realizar ningún tipo de detección.

Así mismo, una vez detectado, un error por SEU en las celdas de configuración el “controlador de configuración” realiza la operación de reprogramación del dispositivo. En el caso de obviar la implementación del controlador, la reprogramación periódica se verá limitada a la puesta en marcha del dispositivo (puesta bajo alimentación). Por tanto los errores inducidos por SEU se verán restringidos a un ciclo de reprogramación.

4. Mitigación de SEU mediante reprogramaciones periódicas.

Dada la naturaleza del experimento PAU y su carácter poco crítico en la misión Microsat se ha optado por la no implementación de un controlador de configuración y por realizar reprogramaciones periódicas para mitigar los efectos SEU.

El Ciclo máximo de las reprogramaciones de configuración del instrumento PAU es el tiempo asociado a una pasada. El instrumento PAU sólo se ACTIVA según la programación del ordenador de a bordo. Por norma general, esto suele ser en cada pasada.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 34 of 46

La puesta en marcha del instrumento PAU, por tanto, conlleva la reprogramación de la FPGA. Esto sucede aprox. 4 veces cada 24h (como mínimo 1 vez en cada pasada). De este modo si no se toman otras medidas cualquier fallo inducido por SEU en el dispositivo se “reseteará” en cada pasada del satélite mediante la reprogramación cíclica de la puesta en marcha.

- ✓ La UPC y el INTA deben tipificar este perfil de funcionamiento.


5. Reprogramaciones por activación controlada

Adicionalmente a lo anteriormente expuesto, es posible añadir un bloque de activación de reprogramación para forzar la reprogramación durante una pasada del satélite sin apagar el instrumento PAU. Este bloque adicional debe responder a las órdenes del ordenador de a bordo para forzar la reprogramación del dispositivo. Como dicho módulo adicional está implementado en el mismo dispositivo sensible a SEU, un erro de SEU podría provocar un error de funcionalidad en esta programación. En cualquier caso, este error inducido, se solventaría en la siguiente reprogramación forzada en la siguiente puesta bajo tensión del instrumento (en la siguiente pasada del satélite).

- ✓ La UPC y el INTA deben ratificar la necesidad de implementación de este módulo.

6. Resumen del control de configuración

Es posible forzar la programación del dispositivo sin realizar el apagado del instrumento con la intención de corregir errores inducidos por SEU siempre y cuando se implemente un módulo adicional de control.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 35 of 46

APENDICE B - EFECTOS DE LA RADIACIÓN ESPACIAL EN FPGAS Y MEMORIAS

En el caso de no utilizar técnicas de mitigación de los efectos de la radiación, este perfil responde a la estadística de fallos de la órbita LEO (~640Kms para el satélite Microsat), la experiencia de misiones anteriores y la naturaleza experimental del instrumento PAU en FPGA S-RAM. Este instrumento no tiene un carácter crítico para la misión. La FPGA del instrumento se puede reconfigurar totalmente como mínimo a cada pasada del satélite (un total de ~4 por 24h) o se pueden prever mecanismos de detección de alteración de datos en la FPGA.

Así pues, la única precaución es la utilización de una memoria caracterizada para soportar la dosis total de radiación acumulada (TID). Cualquier fallo inducido por SEU en el dispositivo se reseteará en cada pasada del satélite mediante la reprogramación cíclica.


Adicionalmente es posible definir soluciones alternativas de implementación consistentes en utilizar componentes especialmente calificados para trabajar en ambiente espacial:

- Mejorar el componente seleccionado FPGA según su cualificación para espacio. XQR4VSX55
- Utilizar las herramientas XTMR para añadir la redundancia triple al dispositivo y aumentar la tolerancia a fallos. Este proceso requiere comprar la herramienta Software de Xilinx y asumir el aumento de recursos (~x3.2) y las penalizaciones de tiempo asociadas.

La inclusión de elementos de control de configuración que realicen tareas de comprobación y corrección de los bits de configuración del dispositivo esta fuera de consideración debido a la necesidad de desarrollar y añadir en este caso algún elemento (externo-interno) de monitorización y control de la configuración capaz de realizar una reprogramación total y/o parcial de la FPGA.

Mitigation Scheme	Mitigation Strength	Board Layout Complexity	Ease in Meeting Timing Constraints	Power Consumption	Component Cost
No Mitigation (Power Cycling)	Weak	Low	Normal	Typical	Low
Configuration Management (Scrubbing)	Medium	Low	Normal	Typical	Low
XTMR	Medium	High	Reduced	~3x Typical	Medium
XTMR + Configuration Management	Strong	High	Reduced	~3x Typical	Medium
Redundant Devices + Configuration Management	Strongest	Medium	Normal	~2.4x Typical	High

Tabla 7 - Esquemas de mitigación de la radiación

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 36 of 46

Device	Configurable Logic Blocks (CLBs) ⁽¹⁾				Block RAM			DCMs	PMCDs	PowerPC Processor Blocks	Ethernet MACs	RocketIO Transceiver Blocks	Total I/O Banks	Max User I/O
	Array ⁽³⁾ Row x Col	Logic Cells	Slices	Max Distributed RAM (Kb)	XtremeDSP Slices ⁽²⁾	18 Kb Blocks	Max Block RAM (Kb)							
XC4VLX60	128 x 52	59,904	26,624	416	64	160	2,880	8	4	N/A	N/A	N/A	13	640

Device	Configurable Logic Blocks (CLB)					Block RAM		DCMs	PMCDs	PowerPC Processor Blocks	Ethernet MACs	Total I/O Banks	Max User I/O
	Array Row x Col	Logic Cells	Slices	Max Distributed RAM (Kb)	XtremeDSP Slices	18-Kb Blocks	Max Block RAM (Kb)						
XQR4VSX55	128 x 48	55,296	24,576	384	512	320	5,760	8	4	–	–	13	640

Tabla 8 - Comparativa de dispositivos FPGA

1. Adquisición de componentes Xilinx calificados para espacio

La adquisición de los componentes está sujeta a ciertos riesgos, ya que los dispositivos calificados para espacio de Xilinx están sujetos a las regulaciones internacionales de tráfico de armas (ITAR) de los Estados Unidos.

International Traffic in Arms Regulations (ITAR), son un conjunto de regulaciones del gobierno de los Estados Unidos que controlan la exportación e importación de artículos relacionados con la defensa.

El proyecto debe prever que la adquisición de licencias de compra y las restricciones aplicables pueden acarrear penalizaciones que pueden ir desde penalizaciones en los tiempos de entrega asociadas a los procesos administrativos hasta restricciones de uso y/o limitación del número de componentes.


Los ambientes cerca de la Tierra y en el espacio profundo están repletos de diferentes fuentes de radiación. Estas fuentes incluyen electrones, protones e iones pesados atrapados en los cinturones de Van Allen cerca de la Tierra. Existen también rayos cósmicos galácticos (GCRs) portadores de núcleos atómicos de alta energía, principalmente protones, partículas alfa y protones de alta energía procedentes de erupciones solares.

Las FPGAs poseen un sustrato de silicio cristalino donde varias áreas han sido directamente metalizadas, oxidadas y dopadas/implantadas con iones para crear circuitos altamente miniaturizados. Estos circuitos principalmente comprenden interruptores digitales (transistores) e interconectores. Cuando se viaja en el espacio, radiaciones de diferentes orígenes pueden inducir diversos comportamientos anómalos en estos microcircuitos. Lo que sigue es un resumen de los efectos más importantes de la radiación. Se pueden separar en dos grandes grupos: efectos de dosis totalmente ionizante, los cuales son efectos de ionización distribuidos y a largo plazo, y efectos de acontecimiento singular, que son efectos de la ionización locales e instantáneos.

2. Efectos de dosis de ionización total (TID).

La colisión de protones y electrones atmosféricos o atrapados, y rayos X o rayos Gamma, originan como resultado la creación de pares electrón-hueco que causa un incremento de la carga, una excitación de la carga diferente y un fenómeno de transporte.

Entre otras consecuencias, esto resulta en una carga parásita atrapada en el óxido y alrededor de varios interfaces. Todo esto, cuando se acumula, puede resultar en una degradación permanente de varios parámetros funcionales del circuito tales como:

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 37 of 46

- Desplazamiento de los umbrales negativos de tensión en los canales n de los transistores nominales, resultando en un incremento de las corrientes de standby, apagados y fuga.
- Desplazamiento del umbral de voltaje en los transistores parásitos en el sustrato o en las capas delgadas, resultando en un incremento de las corrientes de fuga entre dispositivos o en corrientes de fuga de otro tipo (pico de ave o bird's beak).
- Reducción de la movilidad en la conductancia de canal y en la transconductancia, resultando en cambios en parámetros del circuito tales como punto de operación, ganancia, impedancia y poder de carga.

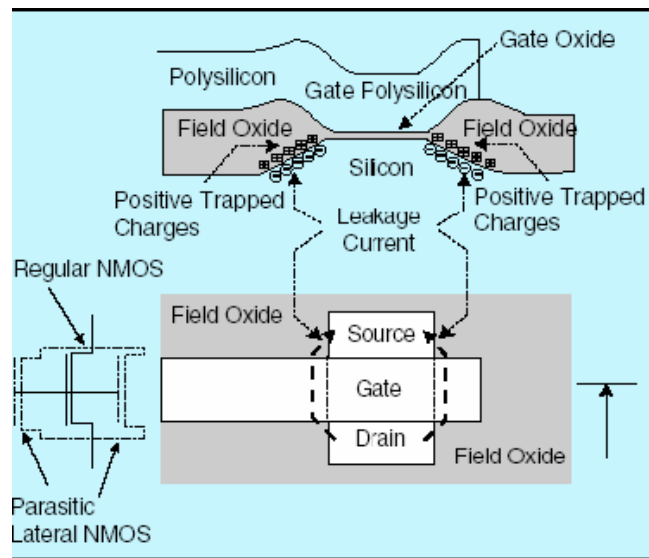


Figura 18 - Corriente de fuga inducida por TID en transistores nMOS


Eligiendo una tecnología que proteja el sustrato y layouts específicos de celdas se minimizarán estas corrientes de fuga y la acumulación de carga. Hay una tendencia en circuitos integrados para resistir la TID que tiene como rasgo la reducción del tamaño de los transistores. Por otra parte, iones solitarios pueden hacer suficiente daño como para causar fallos, especialmente en celdas SRAM.

Aparte de elegir una tecnología adecuada que pueda soportar la predicha cantidad de radiación, la garantía del fabricante o la anticipación de la degradación del dispositivo, existe poco más que pueda ser hecho por un diseñador para proteger sus FPGAs contra los efectos tipo TID.

En el nivel de sistema, los efectos TID pueden ser prevenidos y mitigados por escudos antirradiación, usando detectores de corriente y limitadores de corriente y topologías redundantes tolerantes a fallos.

El efecto TID se mide en términos de dosis absorbida, que es una medida de la energía absorbida por la materia. El TID se cuantifica usando tanto una unidad llamada dosis de absorción de radiación (rad de "radiation absorbed dose") o la unidad del sistema internacional que es el Gray (Gy), donde $1 \text{ Gy} = 100 \text{ rads} = 1 \text{ J/kg}$.

Fabricantes de FPGAs y ASICs indican los niveles de TID que sus dispositivos pueden tolerar sin experimentar problemas funcionales. Este es un parámetro clave que debería ser tomado en

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 38 of 46

cuenta una vez es conocido los tipos de niveles de radiación a los cuales estará expuesto el dispositivo.

Conocer los niveles de radiación, sin embargo, es un asunto complicado de resolver. Depende del tiempo de vida, de las trayectorias exactas y las órbitas que seguirá la nave espacial. Dada la experiencia adquirida el INTA debe proporcionar, los datos asociados a este fin.

3. Efectos de evento solitario (Single-Event Effects o SEE)


La colisión de electrones, protones o iones pesados atrapados en los cinturones de Van Allen, así como los fotones de alta energía y las partículas alfa, puede que resulte en efectos de ionización agudos tales como:

1. Evento aislado de latch-up (SEL), donde estructuras parásitas npnp o pnpn se activan y causan un comportamiento anómalo de los transistores nominales y corrientes parásitas elevadas que pueden dañar permanentemente el dispositivo.
2. Evento aislado de trastorno (SEU), donde una deposición de carga interna causa un cambio en un bit (p.e. cambiando al estado lógico contrario) en un elemento de memoria tal como un flip-flop o una celda incrustada RAM; el elemento de memoria en este caso no es dañado y, por tanto, el valor lógico resultante del SEU no es necesariamente permanente puesto que el elemento de memoria puede ser refrescado con un nuevo valor.
3. Evento aislado transitorio (SET), donde una corriente transitoria o pico de voltaje es inducido en un elemento del circuito. Si esto sucede durante un tiempo suficiente como para que sea capturado por un elemento de almacenaje del circuito, el resultado final es por tanto equivalente al SEU. Las velocidades de reloj elevadas incrementarán la probabilidad de que esto suceda.

En el caso del SEL, tal como en el TID, la elección del substrato adecuado o de la geometría adecuada para las celdas lógicas serán los factores más decisivos cuando nos aseguremos de que una FPGA o un ASIC es libre de efectos SEL a ciertos niveles de radiación. Sin embargo, para los efectos SEE, los niveles de radiación se miden en términos de energía depositada por unidad de longitud cuando una partícula de energía viaja a través del material. Para dispositivos MOS, este material es el silicio. La unidad de transferencia de energía lineal común (LET) es $\text{MeVcm}^2 / (\text{mg de material -Si-})$.

La transferencia lineal de energía o LET (Linear Energy Transfer) es una medida que indica la cantidad de energía "depositada" por la radiación en el medio continuo que es atravesado por ella. Técnicamente se expresa como la energía transferida por unidad de longitud. El valor de la LET depende tanto del tipo de radiación como de las características del medio material traspasado por ella. La LET se relaciona de manera directa con dos propiedades muy importantes en el análisis de las radiaciones: la capacidad de penetración y la cantidad de "dosis" que depositan:

- Un haz de radiación de alta LET (e. g. partículas α) depositará toda su energía en una región pequeña del medio, por lo que perderá su energía rápidamente y no podrá atravesar grosores considerables. Por el mismo motivo dejará una dosis alta en el material.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 39 of 46

- Un haz de radiación de baja LET (e. g. la radiación electromagnética y γ -radiación gamma-) depositará su energía lentamente, por lo que antes de haber perdido toda su energía será capaz de atravesar un gran espesor de material. Por ello dejará una dosis baja en el medio que atraviesa.

Esto explica por qué podemos protegernos de las partículas con una simple capa de aire, y sin embargo es necesario un gran espesor de plomo u otro metal pesado para protegernos de los rayos gamma.

Los limitadores de corriente pueden ser utilizados para prevenir daños permanentes causados por elevadas corrientes parásitas debidas a efectos SEL. Cambiar cíclicamente la potencia de la fuente de la FPGA (p.e. apagando la fuente de tensión y encendiéndola) es a veces el único modo de salir de un estado irreversible de latch-up.

Para efectos SEU, la probabilidad de ocurrencia puede ser reducida utilizando celdas de memoria que hayan sido protegidas mediante topologías apropiadas de celdas. Diferentes fabricantes ofrecen alternativas similares, cada uno con sus propios umbrales de radiación y sensibilidad medidos empíricamente. Los fabricantes de ASICs fueron los primeros en emplear flip-flops endurecidos (“hardened flip-flops”) en sus procesos, pero los fabricantes de FPGAs aeroespaciales están ahora incluyendo estas celdas en sus módulos también, a pesar de las desventajas en consumo de potencia y área.

En adición a estas medidas preventivas, los efectos SEU pueden ser mitigados en el nivel de diseño de la netlist. La duplicación o triplicación de los elementos de memoria y el filtrado de señales en caso de divergencia son técnicas ampliamente utilizadas.

Diferentes códigos de detección y corrección (EDAC) pueden ser usados también para identificar la aparición de cambios en los bits en los bancos de memoria. Una vez más, los SEUs pueden ser un problema tanto para los ASICs como para los FPGAs que estén viajando por el espacio. De forma distinta a los efectos TID, los tests de radiación en dispositivos submicra parecen indicar que los efectos SEU con la miniaturización del tamaño son más probables que aparezcan y en grandes cantidades (un único ion pesado puede afectar a un gran número de celdas de memoria).

Cuando se consideran efectos SEU, las FPGAs actuales consideradas de forma merecida aeroespaciales pueden ser clasificadas en dos grupos principales:

- FPGAs programables una vez, caracterizadas por poseer una circuitería de programación basada en interruptores no volátiles, que se activan una sola vez y para siempre cuando el diseño es programado en el dispositivo.
- FPGAs reprogramables, en las que la circuitería de programación se basa en memorias reescribibles, normalmente SRAM, de ese modo permitiendo un número de reconfiguraciones del diseño que es amparado por el dispositivo ilimitado.

Cuando consideramos SEUs, las FPGAs reprogramables afrontan un problema adicional si los comparamos con sus homólogos programables una sola vez. Los bancos de memoria que últimamente definen el diseño incrustado en la FPGA son, como todos los otros elementos de memoria, susceptibles a SEU. Un cambio de estado inducido por SEU en un elemento de la memoria de configuración cambiará la topología real de los circuitos dentro de la FPGA. Este podrá no tener consecuencias en absoluto si los elementos del circuito afectados no son parte de las funciones de diseño programadas en la FPGA. Si la lógica afectada es una parte integral de las funciones implementadas, sin embargo, las consecuencias podrían ser cualquier cosa

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 40 of 46


desde errores tolerables a desastrosos puntos muertos internos o incluso daños irreversibles en el hardware.

Puesto que los fabricantes de FPGAs no han protegido estas celdas contra la radiación, y estos elementos del circuito no pueden ser alterados o protegidos por el diseñador, las medidas de protección principales contra los SEUs en las lógicas de configuración son:

- Monitorizar el estado de la memoria de configuración y tomar las acciones apropiadas a nivel de sistema.
- Sobrecribir la configuración de memoria de la FPGA (parcial o totalmente) con los valores buenos.

La frecuencia y el criterio a seguir del cuándo y el cómo aplicar estas medidas, sistemáticamente o selectivamente, es responsabilidad de los diseñadores del sistema que tienen que tener en cuenta la cantidad de riesgo a asumir y los costes adicionales involucrados en tiempo de procesamiento y consumo.

En cualquier caso, el diseñador debe evaluar el tipo de FPGA a ser utilizada, la cantidad de radiación y el tipo que el dispositivo tendrá que soportar, y la sensibilidad al SEU de la tecnología elegida. Después las técnicas de enmascaramiento y mitigación tienen que ser aplicadas para minimizar los riesgos.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 41 of 46

APENDICE C - MITIGACIÓN DE LOS EFECTOS DE LA RADIACIÓN

1. Conceptos Generales

En este apéndice se resumen las medidas básicas a realizar para paliar los efectos de la radiación.

1. Impedir los problemas de radiación.

Esta es la primera medida para mitigar los efectos de la radiación. Dadas las condiciones medioambientales en el espacio, la selección de un entorno menos severo puede ser determinante para una misión. Para mitigar los efectos relativos a la dosis total de ionización (TID), una solución directa es la utilización de escudos de protección. Las partículas más fáciles de ser detenidas por el escudo son los electrones de baja energía, protones e iones. Estos escudos pueden estar formados por materiales con bajo número atómico (Z), como el carbón, aluminio etc.

Excepto para los protones, los escudos no se muestran muy efectivos contra los SEE. La protección mediante escudos es también ineficaz frente a los neutrones.

2. Endurecimiento

El siguiente paso en el diseño es la selección y uso de componentes endurecidos específicamente contra la radiación. Estos componentes están endurecidos mediante cambios en el proceso de fabricación que afecta a los materiales y a las propiedades de las uniones de los semiconductores, como a cambios en el circuito que permite la reducción o eliminación de la degradación o de los mecanismos de fallos.

Existen normas que dictan la cualificación de los componentes, como la MIL-STD-883 o la ESA/SCC-9000.

3. Tolerancia a los fallos

Si se reconoce que el endurecimiento no resuelve completamente los problemas de tolerancia a la radiación, el único recurso que queda es el de la tolerancia a los fallos. La tolerancia a los fallos está usualmente asociada con los conceptos de redundancia de los sistemas y las implementaciones de circuitos de voto mayoritario, aunque existen otras soluciones. De esta manera, hay diseños en los que se incluyen limitadores de corriente o incluso detectores de radiación que hacen que el sistema se apague en prevención de latchup.

4. Tolerancia a los SEU

Los SEU presentan varios aspectos que requieren consideraciones especiales.

Los SEU no producen un daño significativo, posibilitándose la recuperación completa del sistema, aunque en algunos casos pueden producir efectos catastróficos. Además, está la potencialmente alta frecuencia de estos eventos comparados con el resto.

Los SEU están invariablemente relacionados a las memorias o a los circuitos de control.

Con respecto a las memorias hay métodos que detectan el error y otros que lo detectan y corrigen. Son los denominados métodos EDAC (Error Detection and Correction) (Estos métodos incluyen: detección de paridad, chequeo de redundancia cíclica (CRC), códigos Hamming, codificación Reed-Solomon, codificación convolutiva etc).

Las FPGAs tienen la capacidad de endurecer a nivel de diseño su Flip-Flops (elementos sensibles a SEU), mediante la técnica denominada TMR (Triple Mode Redundancy).

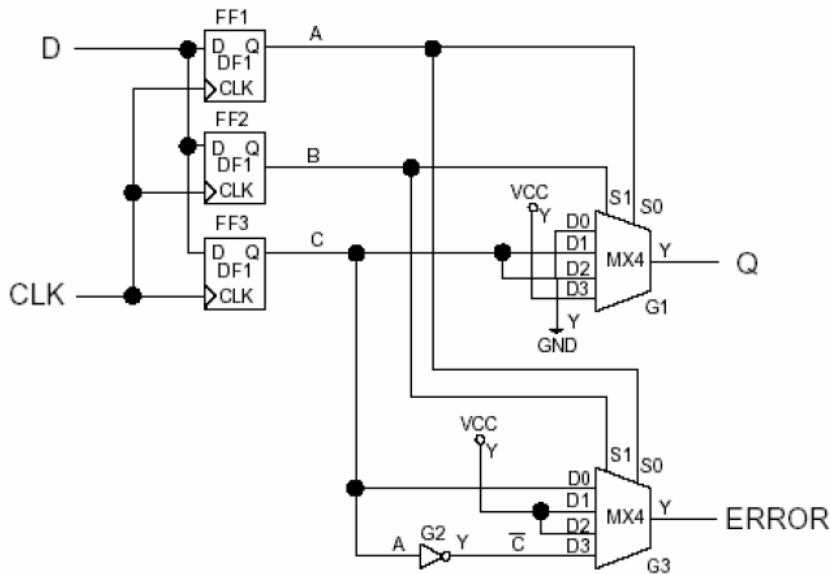


Figura 19 - Flip-Flop D con TMR

El inconveniente de esta técnica es que el número de circuitos que se precisa para realizar el diseño se triplica o cuadriplica en el peor de los casos, incrementándose el consumo, los recursos y por tanto un peor comportamiento respecto al reloj (clock skew).

2. Aplicación en la FPGA de Xilinx del instrumento PAU

1. Impedir los problemas de radiación.

Esta primera medida depende exclusivamente de los ingenieros del satélite y de las medidas tomadas para implementar escudos de radiación en el satélite Microsat.

2. Endurecimiento

Esta medida implica seleccionar componentes endurecidos contra la radiación (Rad-Hard)

Con este fin, Xilinx ofrece memorias PROM de configuración:

XC17V06


- ✓ Inmunidad a los efectos de Latch-up para partículas ionizantes con una LET > 120 MeV/cm²/mg
- ✓ TID = 50KRads

y la familia de FPGAs también endurecidas:

Virtex-4 QPro

- ✓ Inmunidad a los efectos de Latch-up para partículas ionizantes con una LET > 100 MeV/cm²/mg
- ✓ TID = 250KRads
- ✓ SEU mitigation support with TMRTTool software
- ✓ High reliability ceramic flip-chip packaging technology

Arquitecturas disponibles: LX/SX/FX (XQR4VLX200,XQR4VSX55,XQR4VFX60/140)

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 43 of 46

3. Tolerancia a los fallos

La tolerancia a los fallos está asociada con los conceptos de redundancia de los sistemas y las implementaciones de circuitos de voto mayoritario. Esta medida implica redundar el instrumento PAU en FPG. Este tipo de redundancia en cierta medida es la que se lleva a cabo dado que realmente el instrumento estaría replicado (a un nivel más básico) en la FPGA de ACTEL. Adicionalmente, a nivel de sistema, existen limitadores de corriente (en el módulo de alimentaciones) que desconectan los módulos que aumentan el consumo en prevención de "latchup".

4. Tolerancia a los SEU

Las medidas prácticas aplicables en este instrumento serían las siguientes:

- a) Implementar un controlador de configuración, que periódicamente verifique el contenido de las celdas SRAM de configuración de la FPGA. Este controlador, podría ser:

- un módulo implementado dentro de la propia FPGA que realice estas funciones. Xilinx ofrece un IP CORE con este fin, pero sólo es aplicable a la familia Virtex-2, además del hecho que requiere un procesador empotrado tipo MicroBlaze o PowerPC..

Ventajas: minimiza el número de dispositivos.

Desventajas: fiabilidad, sólo Virtex-II y requiere de un procesador empotrado.

- un módulo Rad-Hard externo inmune a SEU. Esta solución es la más segura, siempre que el controlador de configuración se implemente mediante una tecnología inmune a SEU (fpga antifusible ACTEL).

Ventajas: Fiabilidad.


Este módulo de control, en base a la detección de errores podría reconfigurar total o parcialmente la FPGA (Readback & Scrubbing).

Desventajas: aumenta el número de dispositivos y el tiempo de desarrollo ya que se añade un nuevo sistema digital a implementar

- b) Implementar métodos EDAC en las memorias internas y externas de datos que son también sensibles a SEU.
- c) Implementar métodos de redundancia triple para detectar y mitigar los efectos SEU en flip-flops de las celdas de la FPGA así como los efectos SET (Eventos Aislados Transitorios), que pueden provocar la captura un valor erróneo debido a una variación transitoria de corriente. Con este fin Xilinx ofrece una herramienta (XTMR) que permite "parchear" la netlist del sistema digital de forma automática.

Ventajas: mitigación de los efectos SEU.

Desventajas: Aumento de recursos utilizados en la FPGA (~x3.2) y disminución asociada de las prestaciones temporales del diseño.

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 44 of 46

3. Xilinx en el espacio

En este apartado se listan algunas misiones desarrolladas con FPGAs de Xilinx con tal de enmarcar experiencias previas y los métodos de mitigación implementados.

La fuente de estos datos es Xilinx. En base a estos datos y a sus datos propios el INTA podría evaluar y sugerir la estrategia de mitigación de la radiación a llevar a cabo en el instrumento PAU.

Misión: Grace/NASA + DLR
Tipo de Desarrollo: Sensor
Orbita: LEO 500 Kms.
Elementos involucrados: PROM + XQR4036XL
Técnica de mitigación: Ninguna

Misión: FEDSAT / USA University
Tipo de Desarrollo: Computador reconfigurable
Orbita: LEO Polar 400 Kms.
Elementos involucrados: PROM + XQR4062XL
Técnica de mitigación: Controlador de configuración incrustado, con detección de SEU mediante operaciones de "readback"


Misión: OPTUS-C1 / Raytheon, USA
Tipo de Desarrollo: Aplicaciones de DSP
Orbita: LEO
Elementos involucrados: PROM (18V04)+ XQVR300(x3)
Técnica de mitigación: Dispositivos Redundantes, Reconfiguración Total en caso de Voto Funcional.

Misión: Mars 2003 Lander
Tipo de Desarrollo: Pyrotechnic Board
Orbita: Mars Lander
Elementos involucrados: PROM(17V01) + XQR4062XL(x4)
Técnica de mitigación: Dispositivos Redundantes. Reconfiguración en caso de detección de SEU (ReadBack).

Misión: Mars 2003 Rover
Tipo de Desarrollo: Controlador de Motor
Orbita: Superficie Marciana
Elementos involucrados: PROM(17V01) + XQVR1000
Técnica de mitigación: Reconfiguración Parcial en caso de detección de SEU (ReadBack y Scrubbing) y Reconfiguración Total Periódica 1xDía.

Misión: MRO HiRise Camera
Tipo de Desarrollo: Monitorización de cámara
Orbita: ---
Elementos involucrados: PROM + XQVR300E
Técnica de mitigación: Reconfiguración Parcial en caso de detección de SEU (ReadBack y Scrubbing)

Misión: Venus Express

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 45 of 46

Tipo de Desarrollo: Monitorización de cámara
Orbita: Trayectoria + Orbita Venus
Elementos involucrados: XQVR600
Técnica de mitigación: Reconfiguración Parcial en caso de detección de SEU (EDAC + TMR + Scrubbing)

Misión: CIBOLA / Los Alamos & SSTL, USA & England
Tipo de Desarrollo: Sensor Remoto
Orbita: Orbita LEO
Elementos involucrados: PROM + Virtex Q-Pro(x2)
Técnica de mitigación: Redundancia de dispositivos. Reconfiguración Parcial en caso de detección de SEU (EDAC + Scrubbing)


Misión: ISS-Columbus payload FSL / Verhaert, Belgium
Tipo de Desarrollo: "Payload"
Orbita: Orbita LEO 400 Kms.
Elementos involucrados: PROM + XQR4013XL
Técnica de mitigación: Ninguna

Misión: ISS-Columbus payload EuTEMP / EFACEC, Portugal
Tipo de Desarrollo: "Payload"
Orbita: Orbita LEO 400 Kms.
Elementos involucrados: PROM + XQR4036XL
Técnica de mitigación: Ninguna

Misión: ISS / EADS Astrium, Germany
Tipo de Desarrollo: Sistema de cámara
Orbita: Orbita LEO 400 Kms.
Elementos involucrados: PROM + XQR4036XL
Técnica de mitigación: Ninguna

Misión: ATV / EADS-ST, France
Tipo de Desarrollo: ---
Orbita: Orbita LEO 400 Kms.
Elementos involucrados: PROM + XQR4036XL
Técnica de mitigación: Ninguna

Misión: CMIS / Boeing, USA
Tipo de Desarrollo: Procesado de imagenes
Orbita: Orbita LEO 400 Kms.
Elementos involucrados: PROM + Virtex-II
Técnica de mitigación: Reconfiguración Total periódica. (1 por minuto)

	IMPLEMENTACION DE PAU	Ref.: PAU-PR-ADT-0001 Issue: 06
	Informe final	Fecha: 12 NOV 2009 Página: 46 of 46

APENDICE D: Bibliografía

- www.xilinx.com
- Revista digital Investigación y Educación I+E: ISSN 1691ISSN 1696-7208 Revista número 17 de Marzo de 2005 Volumen 2
- http://parts.jpl.nasa.gov/docs/Radcrs_Final.pdf
- <http://www.astrocosmo.cl/astrofis/astrofis-03.htm>